

本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月18日

出 願 番 号

Application Number:

特願2001-010866

出 願 人

applicant(s):

シャープ株式会社

RECEIVED

FEB 21 2002

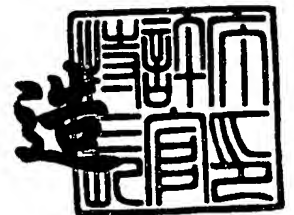
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3097386

【書類名】 特許願

【整理番号】 00J04551

【提出日】 平成13年 1月18日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/30
G09G 3/36
G02F 1/133 550

【発明の名称】 表示装置

【請求項の数】 5

【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 沼尾 孝次

【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社

【代理人】
【識別番号】 100080034
【弁理士】
【氏名又は名称】 原 謙三
【電話番号】 06-6351-4384

【手数料の表示】
【予納台帳番号】 003229
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9003082

特 2 0 0 1 - 0 1 0 8 6 6

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

基板上に複数の電気光学素子または電気光学素子を配置するための電極が配置され、

前記電気光学素子毎に記憶手段と電位保持手段を備えたことを特徴とする表示装置。

【請求項 2】

第 1 の配線と、

前記第 1 の配線と第 1 端子とが電氣的に接続された第 1 のスイッチング素子と

、
前記第 1 のスイッチング素子の第 2 の端子と電氣的に接続された上記記憶手段と、

前記第 1 のスイッチング素子の第 2 の端子と電氣的に接続された上記電位保持手段と、

前記第 1 のスイッチング素子の第 2 の端子の電位で制御される上記電気光学素子を持つことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

上記電位保持手段に保持された電荷を消去するためのスイッチング素子を持つことを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

基板上に複数の電気光学素子または電気光学素子を配置するための電極が配置され、

前記電気光学素子毎に記憶手段を備え、

前記電気光学素子の電源配線と、前記記憶手段の電源配線を、別配線とすることを特徴とする表示装置。

【請求項 5】

複数のデータを並列に上記電気光学素子毎に配置した記憶手段へ転送する第 2



の記憶手段を備えていることを特徴とする請求項 1 ないし 4 のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素毎にメモリ素子と発光素子を配置した表示装置に関するものである。

【0002】

【従来の技術】

近年、液晶ディスプレイに対抗するフラットパネルディスプレイとして有機 E L (Electro Luminescence) ディスプレイが注目され、その表示回路や駆動方法の開発が盛んに行われている。

【0003】

この有機 E L ディスプレイの駆動回路・駆動方法は、大きくパッシブ駆動とアクティブ駆動に別れるが、有機 E L をアクティブ駆動する場合、画素を駆動するための T F T はポリシリコンである必要がある。

【0004】

これは、有機 E L のような自発光素子を T F T 駆動する場合、その自発光素子を流れる電流量を確保するために、T F T を形成するシリコンの電荷移動度が必要になるからである。このことが、液晶のような非発光のシャッタ素子ならアモルファスシリコンで充分なのに、有機 E L ではポリシリコンが必要となる理由である。

【0005】

この有機 E L の画素 T F T 構成として、特にメモリ素子を用いた構成が特開平 2 - 1 4 8 6 8 7 号 (特許 2 7 2 9 0 8 9 号) 公報で示されている。

【0006】

図 1 5 は同公報に示された 1 画素 (白黒ディスプレイでは「1 画素 = 1 ドット」であるが、カラーディスプレイでは「1 画素 = R G B 3 ドット」となる。従って、正確には 1 ドットと表現すべきところだが、ここでは、そのような厳密な区

別は省略する) 当たりの回路構成である。

【 0 0 0 7 】

すなわち、この特開平 2 - 1 4 8 6 8 7 号公報においては、図 1 5 のように 1 画素を複数のメモリセル 2 2 1 すなわち $C_n \sim C_{n-3}$ と、それらのメモリセルを選択するためのトランジスタ 2 2 2 すなわち $D_n \sim D_{n-3}$ と、定電流回路 2 2 5 と有機 E L 素子 2 2 6 から構成する。

【 0 0 0 8 】

定電流回路 2 2 5 は F E T 2 2 3、2 2 4 を用いたカレントミラー回路なので、有機 E L 2 2 6 を流れる電流は、F E T $D_n \sim D_{n-3}$ を流れる電流の総和により決まる。そして、この F E T $D_n \sim D_{n-3}$ を流れる電流は、メモリセル $C_n \sim C_{n-3}$ に保存されたデータにより決まる F E T $D_n \sim D_{n-3}$ のゲート電圧により設定される。

【 0 0 0 9 】

なお、このメモリセル 2 2 1 の構成は図 1 6 のように示されている。すなわち、ロー制御信号により CMOS インバータ 2 2 8、MOS 伝送ゲート 2 2 7、2 2 9 が制御される。このロー制御信号が選択状態のとき、MOS 伝送ゲート 2 2 7 が導通状態、MOS 伝送ゲート 2 2 9 が非導通状態となるので、コラム入力信号 B_n が MOS 伝送ゲート 2 2 7 を通し CMOS インバータ 2 3 0 のゲートに入力される。また、このロー制御信号が非選択状態のとき、MOS 伝送ゲート 2 2 7 が非導通状態、MOS 伝送ゲート 2 2 9 が導通状態となるので、CMOS インバータ 2 3 1 の出力が MOS 伝送ゲート 2 2 9 を通して CMOS インバータ 2 3 0 に帰還する。なおこのメモリセル 2 2 1 は、CMOS インバータ 2 3 0 の出力を CMOS インバータ 2 3 1 および MOS 伝送ゲート 2 2 9 を通して CMOS インバータ 2 3 0 のゲートに帰還させるので、この回路はインバータ 2 段を用いたスタティックメモリ回路と考えられる。

【 0 0 1 0 】

このように特開平 2 - 1 4 8 6 8 7 号公報には、有機 E L ディスプレイ用の画素 T F T 構成として、ポリシリコン T F T を用いたメモリ構成が開示されている。

【 0 0 1 1 】

上記特開平2-148687号公報に示された図15の画素メモリ構成は、画素毎に複数のメモリセル $C_n \sim C_{n-3}$ を持つが、画素毎にカレントミラー回路225を持ち、そのカレントミラー回路によりデジタル信号をアナログ信号（電流値）に変換している。

【0012】

このようなカレントミラー回路を用いた構成の場合、カレントミラー回路を構成するTF T 223, 224の特性が揃っていることが必要である。しかし、液晶表示装置などに用いられるポリシリコンプロセスでTF Tを作っても、隣接するTF Tで特性が揃っているという保証はない。

【0013】

従って、図15のようなアナログ階調表示においてはポリシリコンTF Tの特性バラツキという問題があり、画面全面での均一な階調表示は難しい。

【0014】

そこで、デジタル階調表示を行いポリシリコンTF Tの特性バラツキを抑えることが考えられている。図22はそのデジタル階調表示方法として時間分割階調表示方法を用いる場合の画素回路構成である。すなわち、有機EL108を駆動するためのTF T 107と、そのTF T 107の導通状態を制御するための電圧を貯めるコンデンサ119と、そのコンデンサ119の電圧を制御するためのTF T 106から構成される。この構成において、図23のように1フレーム期間TFに数回各画素のコンデンサ119の電圧を書き換え、その電圧をTF T 107を導通状態とする電圧か、非導通状態とする電圧かで階調表示する方法である。

【0015】

また、液晶表示装置においてポリシリコンTF Tを用いてスタティックメモリ構造を画素毎に作り込む構成が特開平8-194205号公報に開示されている。

【0016】

すなわち、この特開平8-194205号公報においては、図17のように第1のガラス基板上に画素電極202がマトリクス状に配置されており、画素電極

202間には横方向に走査線203が、縦方向に信号線204が配置されている。また、走査線203と平行に参照線205が配置されている。走査線203と信号線204の交差部に後述するメモリ素子206が設けられ、メモリ素子206と画素電極202間にはスイッチ素子207が設けられている。

【0017】

上記第1のガラス基板上には所定距離離して第2のガラス基板が対向配置されており、第2のガラス基板の対向面には対向電極が形成されている。そして、2つのガラス基板間に表示材料層としての液晶層が封入されている。なお、図17の208は走査線ドライバ、209は信号線ドライバ、210は参照線ドライバである。

【0018】

図18は、図17の画素部の構成を示す回路図である。マトリクス状に形成された走査線203と信号線204の交差部に2値データ保持メモリ素子206が接続されており、このメモリ素子206には、保持されている情報を出力する出力部が設けられている。出力部には、3端子スイッチ素子207としてのTFT214が接続されている。このスイッチ素子207は、参照線205と画素電極202との間の抵抗値を制御し、液晶層215のバイアス状態を調整している。

【0019】

この図18ではメモリ素子206として2段インバータを用い正帰還させた形のメモリ回路、すなわちスタティック型メモリ素子が使われている。すなわち、信号線204から与えられたデータがTFT211が導通状態のときインバータ212のゲート端子へ入力される。このインバータ212の出力はインバータ213を通してインバータ212のゲート端子に再入力されるので、TFT211が導通状態のときインバータ212に書き込まれたデータが同極性でインバータ212に帰還され、再度TFT211が導通状態となるまで保持される。

【0020】

このように特開平8-194205号公報には、液晶ディスプレイ用の画素TFT構成として、ポリシリコンTFTを持ったメモリ構成が開示されている。すなわち、この公報に開示されている図18のTFT基板構成は、画素毎にスタテ

イックメモリ 2 0 6 を持ち、この画素メモリに蓄えられたデータで 2 値表示を行う構成である。

【 0 0 2 1 】

また、画素にメモリ機能を持たせた液晶表示装置の回路構成が特開 2 0 0 0 - 2 2 7 6 0 8 号公報に開示されている。

【 0 0 2 2 】

図 1 9 は同公報に示された表示基板のブロック構成図である。

【 0 0 2 3 】

すなわち、この特開 2 0 0 0 - 2 2 7 6 0 8 号公報においては、表示基板における表示部 3 1 0 はラインバッファ 3 0 9 を通して画像メモリ 3 0 8 へ接続されている。この画像メモリ 3 0 8 はメモリセルがマトリクス上に配列されており、表示部 3 1 0 の画素と同一のアドレス空間を有するビットマップ構成を有している。アドレス信号 3 0 3 は、メモリ制御回路 3 0 6 を通して、メモリライン選択回路 3 1 1、コラム選択回路 3 0 7 へ入力される。このアドレス信号 3 0 3 により指定されたメモリセルが図示しないコラム線、およびライン線により選択され、そのメモリセルへ表示データ 3 0 4 が書き込まれる。こうして書き込まれた後、メモリライン選択回路 3 1 1 に入力されたアドレス信号により、選択画素を含む 1 ライン分のデータがラインバッファ 3 0 9 に出力される。ラインバッファ 3 0 9 は表示部の信号配線に接続されているので、この読み出されたデータは図示しない信号配線へ出力される。

【 0 0 2 4 】

また、アドレス信号はアドレスライン変換回路 3 0 5 にも入力されており、表示ライン選択信号回路 3 1 2 により、図示しないライン選択配線に選択電圧を印加する。

【 0 0 2 5 】

この動作によって、画像メモリ 3 0 8 のデータが表示部 3 1 0 へ書き込まれる。

【 0 0 2 6 】

この表示部 3 1 0 の画素回路構成は図 2 0 に示す構成である。すなわち、ライ

ン選択配線401により制御TFT405を制御し、信号配線402により与えられたデータを共通配線404と制御TFT405の間にあるコンデンサ406に保持し、このコンデンサ406の電圧により駆動TFT409の導通、非導通を制御し、表示電極408へ液晶基準配線403により与えられた電圧を印加する、しないが決められる。なお、ソースドレイン端子間には補償コンデンサ409が接続されている。

【0027】

図21は上記表示部310の別の画素回路構成である。液晶を駆動するTFTとしてアナログスイッチ504を用いて駆動する。このpchTFTおよびnchTFTからなるアナログスイッチを駆動するため、サンプリングコンデンサ503, 507およびサンプリングTFT502, 506からなるメモリ回路を各々2系統設け、極性の異なるデータを2本のデータ配線501, 505をもちいて供給し、共通のライン選択配線401に接続し、同時にサンプリングすることにより表示動作する。

【0028】

またアナログスイッチを駆動するための極性の異なるデータを、メモリ回路を2系統設けるのではなく、画素内部に設けたインバータ回路により生成する構成や、メモリ回路として半導体に用いられるメモリ回路をTFTを用いて構成することなどが記載されている。

【0029】

このように特開2000-227608号公報には、液晶ディスプレイ用のポリシリコンTFT基板構成が開示されている。すなわち、図19のTFT基板構成は、表示部310の外にSRAMで構成される画像メモリ308を持ち、さらに、表示部310に図20や図21のコンデンサで構成される画素メモリを持ち、この画素メモリに蓄えられた2値データで表示を行う構成である。

【0030】

【発明が解決しようとする課題】

上述したように、デジタル階調表示を行いポリシリコンTFTの特性バラツキを抑えることが考えられている。しかし、このような時分割階調表示方法ではP

D P（プラズマディスプレイパネル）などで見られる動画偽輪郭の発生が予想される。この動画偽輪郭の発生の仕組みを図 2 4 を用いて説明すると、階調レベル 3 1 の背景に階調レベル 3 2 の模様が動くとき、視線が図 2 4 の破線（a）～（d）のように動くので、その視線移動上の画素の視線移動時の階調パターンが見えてしまう。例えば、破線（a）では視線が階調 1，2，4，8 と 3 2 の点灯タイミングと被るので階調レベル 4 7 が見えるが、破線（d）では階調 1 6 の点灯タイミングしか被らないので階調レベル 1 6 が見える現象である。

【0 0 3 1】

そのため、P D P 等でなされている動画偽輪郭対策では、ビット（b i t）の重みの大きなデータを複数回に分けて、ビットの重みの少ないデータの前後で表示することで、動画偽輪郭を低減している。すなわち、ビットの重みの大きなデータが一定のフレーム期間の周期の間に複数回出現することで、動画偽輪郭を少なくしている。

【0 0 3 2】

しかし、P D P 等では上記ビットの重みの大きなデータを複数回表示するため、1 回の表示毎に表示走査が必要であるという問題がある。

【0 0 3 3】

本発明の第 1 の目的は上記課題に対しなされたものであり、新たな走査を行わずビットの表示期間を分割する手段を提供することである。

【0 0 3 4】

また、本発明の第 2 の目的は画素毎にメモリを持った構成において、有機 E L のような自発光素子で安定な輝度特性を示す画素メモリ回路構成を提供することである。

【0 0 3 5】

【課題を解決するための手段】

上記第 1 の目的を実現する為の本発明の第 1 の手段は、スイッチング素子と電位保持手段からなる電気光学素子に、記憶手段を設けたことを特徴とする構成である。

【0 0 3 6】

スイッチング素子はT F Tなどがある。記憶手段はスタティックメモリやダイナミックメモリ等のメモリ素子がある。

【 0 0 3 7 】

スイッチング素子と液晶からなる電気光学素子では特別な電位保持手段を設けなくとも、液晶自体が電位保持手段となりうる。

【 0 0 3 8 】

スイッチング素子と駆動素子と自発光素子からなる電気光学素子ではコンデンサのような電位保持手段が用いられる。なお、スイッチング素子や駆動素子自体にも浮遊容量があるので、必ずしもこの電位保持手段が目に見えるわけではない。

【 0 0 3 9 】

駆動素子とはT F Tなどである。

【 0 0 4 0 】

このような構成は表示装置になる前のT F T基板の段階で判る。この基板の所定の電極へ電気光学素子を作り込むことで表示基板となる。

【 0 0 4 1 】

上記第1の目的を実現する為の本発明の第2の手段は、特に電気光学素子として自発光素子を用いる場合である。

【 0 0 4 2 】

電気光学素子毎に第1のスイッチング素子を設け、その第1のスイッチング素子のソース端子をデータ配線と接続し、前記第1のスイッチング素子のドレイン端子と第1のメモリ素子を電氣的に接続し、前記第1のスイッチング素子のドレイン端子とコンデンサ素子等の電位保持手段を電氣的に接続し、前記第1のスイッチング素子のドレイン端子と第2のスイッチング素子のゲート端子を接続する。

【 0 0 4 3 】

また、上記第2のスイッチング素子のソース端子またはドレイン端子へ有機E L等の電気光学素子を接続して、表示基板または表示装置とするものである。

【 0 0 4 4 】

なお、上記コンデンサ素子とは、コンデンサと第4のスイッチング素子から構成されるか、コンデンサ単体で構成されることが好ましい。

【0045】

上記コンデンサ素子がコンデンサ単体で構成される場合は、特別にコンデンサを用意しなくとも、第2のスイッチング素子のゲート電極容量等で代替可能である。

【0046】

このような本発明の第1の手段や第2の手段であるメモリを持った電気光学素子を用い、上記の課題を解決するため、本発明の表示装置では、走査線ごとに並んだ画素に、フレーム期間ごとに表示すべきデータの階調に応じた時間だけ水平走査期間内で電圧が印加されることで、その階調に応じた量の電気光学変化を起こし、そのフレーム期間に対するデータを表示する電気光学素子を持つ表示装置の駆動方法において、1フレーム期間内に第1、第2および第3の期間をこの順に設けるとともに、1フレーム期間内に、上記第3の期間よりも前にデータ保持期間を設け、上記第1の期間に、最大階調（最大重みビット）のデータに対応する時間だけ電圧を上記電気光学素子に印加し、上記データ保持期間に、上記最大階調のデータを第1のメモリ素子に保持させ、上記第2の期間に、最大階調未満のデータに対応する時間だけ電圧を上記電気光学素子に印加し、上記第3の期間に、上記第1のメモリ素子に保持させた最大階調のデータに対応する時間だけ電圧を上記電気光学素子に印加する構成とすることができる。

【0047】

上記の構成により、最大階調のデータに対する電圧印加が、1フレーム期間内で、最大階調未満のデータに対する電圧印加期間を挟んで、複数回に分けて行われる。そして、その際、最大階調のデータに対する電気光学素子への印加1回目の電圧を、第1のメモリ素子に保持させておき、2回目以降は、また外部から入力されるのではなく、その第1のメモリ素子から電圧を取り出すようにする。

【0048】

したがって、ビットの重みの大きなデータを第2の期間に画素毎に保持することで、第3の期間に行うビットの重みの大きなデータを複数表示する動作が、表

示走査することなく実現できる。それゆえ、1回の表示毎に表示走査を行うことなく、動画偽輪郭の発生を抑制することができる。

【0049】

本発明の表示装置の駆動方法は、走査線ごとに並んだ画素に、フレーム期間ごとに表示すべきデータの階調に応じた時間だけ水平走査期間内で電圧が印加されることで、その階調に応じた量の電気光学変化を起こし、そのフレーム期間に対するデータを表示する電気光学素子を持つ表示装置の駆動方法において、走査線数を m 本とし、各画素で表示する階調ビット数を K とし、1フレーム期間を m 個の単位期間に分割し、各単位期間を K 個の選択期間に分割し、ある走査線上の画素の電気光学素子内のデータを水平走査期間内で書き換える際に、 j を1以上 K 未満の整数とし、 $p(j)$ （ただし $j=1, 2, 3, \dots, K-1$ ）および $p(K)$ をそれぞれ、1以上 K 以下の互いに異なる整数とし、すべての j について、 j ビット目のデータを、ある単位期間 $N(j)$ 内の第 $p(j)$ 番目の選択期間のタイミングで電気光学素子に供給し、 K ビット目のデータを、ある単位期間 $N(K)$ 内の第 $p(K)$ 番目の選択期間のタイミングで第1のメモリ素子に供給し、その後、その第1のメモリ素子から電気光学素子に供給する構成とすることができる。

【0050】

上記の構成により、最大階調（最大重みビット）のデータが、1フレーム期間内のある単位期間内のある選択期間のタイミングで第1のメモリ素子へ供給され、その後、第1のメモリ素子で保持されたこの最大階調のデータに対する電圧が電気光学素子へ印加される。すなわち、最大階調のデータに対する電圧を、第1のメモリ素子に保持させておき、電気光学素子に電圧を印加する際には、外部から入力されるのではなく、その第1のメモリ素子から電圧を取り出すようにする。

【0051】

したがって、ビットの重みの大きなデータを画素毎に保持することで、ビットの重みの大きなデータを複数表示する動作が、表示走査することなく実現できる。それゆえ、1回の表示毎に表示走査を行うことなく、動画偽輪郭の発生を抑制



することができる。

【0052】

また、本発明の第1の目的を実現する為の本発明の第3の手段は、上記本発明の第1の手段や第2の手段で用いられている電位保持手段と、OFF輝度設定配線との間に第3のスイッチング素子を設けた構成である。このような構成と、上記の構成に加えて、上記第1のメモリ素子に保持させた最大階調のデータに対応する電圧を、一旦、電位保持手段に保持させてから、上記電気光学素子に印加する構成とすることができる。

【0053】

上記の構成により、例えば上記第3の期間に、上記第1のメモリ素子に保持させた最大階調のデータに対応する電圧を、一旦、電位保持手段に保持させてから、上記電気光学素子に印加する。

【0054】

この電位保持手段に保持された電荷を、上記第3のスイッチング素子を用いて放電させることで、上記最大階調のデータに対応する電圧が電気光学素子へ印加されている時間を、最大階調の重みに合わせて調整することができる。

【0055】

また、本発明の第2の目的を実現するための本発明の第4の手段は、液晶表示素子等の電気光学素子と接続する画素電極と、その画素電極へ電圧を印加する第1のメモリ素子を持った表示装置であって、上記電気光学素子の電源電圧と、上記電気光学素子への電圧印加のオンオフ時期を決める信号として上記第1のメモリ素子に印加するオンオフ電圧とを、別個の電源とする構成とすることができる。

【0056】

上記の構成により、電気光学素子の電源電圧と、第1のメモリ素子に印加するオンオフ電圧とが別個の電源となっている。したがって、電気光学素子の電源電圧が変動しても、第1のメモリ素子に印加される電圧が変動しない。それゆえ、上記の構成による効果に加えて、駆動用TFTのように上記第1のメモリ素子を駆動する素子のゲート電圧Vと、有機EL等の自発光素子のように上記電気光学

素子を通る電流 I との関係において、 $V-I$ 特性の変化を抑えることができ、特に自発光素子で、安定な輝度特性を得ることができる。

【0057】

また、本発明の表示装置は、上記表示装置の駆動方法に用いられる表示装置であって、外部より入力されたデータを、列ごとに走査される上記画素のデータへ変換するための第2のメモリ素子を備えていることが好ましい。

【0058】

上記の構成により、画素単位で送られてきたビットデータを、上記駆動方法で必要とされるタイミングで、第2のメモリ素子から直接、1列分のデータについて並列に画素へ転送できる。また、このデータ変換に必要なコントロール回路を備えさせることで、上記駆動方法を気にせずに使用できる。また、SRAM等の第2のメモリ素子から直接画素メモリへ書き込むことで、第2のメモリ素子から信号線ドライバ（SEGドライバ）へシリアルにデータを転送する必要がなくなる。それゆえ、上記の構成による効果に加えて、信号線ドライバを通す場合と比べ、SRAM等から信号線ドライバへデータを転送するための手間と電力が削除でき、そのためのエネルギーが省け、表示装置全体の低消費電力化を図ることができる。

【0059】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について図1に基づいて説明すれば、以下の通りである。

【0060】

図1に示すのは画素 A_{ij} の等価回路である。この等価回路はTFT（薄膜トランジスタ）6のソース端子に信号ラインとしてのデータ配線 S_j が接続され、TFT6のドレイン端子にTFT21のソース端子と液晶素子（電気光学素子）23の画素電極が接続された構成である。このTFT21のドレイン端子には、スタティック型のメモリ素子としてのメモリ回路9（第1のメモリ素子）が接続されている。

【0061】

このようなメモリ回路9を形成するため、本実施の形態では、CGS (Continuous Grain Silicon) TFT製作プロセスを用いることとする。なお、同プロセスの説明は特開平8-204208号公報、特開平8-250749号公報等に詳しく記載されているので、ここではその詳細な説明は省略する。

【0062】

この液晶素子23の表示状態を制御するには、液晶素子23の対抗電極の電位V_{ref}をGND電位としている間に、TFT6とTFT21、すなわちそのソース・ドレイン間を導通状態とし、この液晶素子23の画素電極およびメモリ回路9へ最上位ビット (bit) のデータを印加する。この場合、最上位ビットのデータは、VDDかGNDの2値データである。なお、TFT6を導通状態とするには、TFT6のゲート端子に接続された走査線へ選択電圧を印加する。TFT21を導通状態とするにはTFT21のゲート端子に接続された制御線Cibit2へ選択電圧を印加する。

【0063】

なお、本実施の形態ではTFTのソース端子とドレイン端子の間に厳密な区別がないので、上記ソース端子とドレイン端子を逆にしても問題ない。

【0064】

次に、TFT6を導通状態とし、TFT21を非導通状態としている間に液晶素子23の画素電極へ下位ビット相当階調の電圧を印加する。

【0065】

その後、TFT6を非導通状態とし、TFT21を導通状態とし、このメモリ回路9へ貯められた最上位ビットのデータを液晶素子23へ印加する。

【0066】

このように駆動することで、一度メモリ回路9へ最上位ビットのデータを保持しておけば、1フレーム内に複数回、途中で他のビットの表示を挟んで、液晶素子23へ最上位ビットのデータを印加できる。

【0067】

このように駆動することで、液晶素子23を時分割階調表示する場合に液晶素

子の応答速度が早い場合に見られる動画偽輪郭を抑制することができる。また、メモリされた1ビット分余分に液晶素子23で階調表示することができ、表示品位の向上が図れる。

【0068】

なお、図1において液晶表示素子23と並列に入るTFT24およびそれをスイッチングする制御線Cibit1の役割は、上記液晶素子23に印加された電圧を0にするためのものであり、上記階調表示における階調直線性を改善するためのものである。

【0069】

なお、図1においては、メモリ回路9としてVDD電位との間の導通・非導通状態を制御するTFT13と、GND電位との間の導通・非導通状態を制御するTFT14を持つ。

【0070】

なお、上記VDD電位とGND電位のいずれがON輝度設定電位であり、いずれがOFF輝度設定電位かは、液晶素子23がノーマリーホワイトモードか、ノーマリーブラックモードか、透過状態をONとするか、非透過状態をONとするか、に依存し、どちらに設定することも可能である。

【0071】

〔実施の形態2〕

本発明の他の実施の形態について図2ないし図8に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【0072】

本実施の形態では本発明の第2の手段の説明を行う。

【0073】

ここでは有機ELのような自発光素子を用いるので、その自発光素子駆動用TFTは電荷移動度の大きなシリコンプロセスで製作している。すなわち、本実施形態で用いるTFTを作成するために、実施の形態1同様、CGSTFT製作プロセスを用いることとする。

【 0 0 7 4 】

図 2 に示すのは画素 A_{ij} の等価回路である。この等価回路は TFT 6 のソース端子にデータ配線 S_j が接続され、TFT 6 のドレイン端子に TFT 2 1 のソース端子と、TFT 2 0 のソース端子と、TFT 7 のゲート端子が接続された構成である。なお、この TFT 2 1 のドレイン端子にはスタティックメモリ回路 9 が、TFT 2 0 のドレイン端子にはコンデンサ 2 2（電位保持手段）が接続されている。

【 0 0 7 5 】

また、TFT 2 0 のゲート端子には制御線 C_{ibit1} が、TFT 2 1 のゲート端子には制御線 C_{ibit2} が接続されている。

【 0 0 7 6 】

この TFT 7 で駆動する電気光学素子として本実施の形態では図 3 にその印加電圧 V - 電流 I 特性を示す有機 EL を用いる。図 3 は、有機 EL 素子の $I - V$ 静特性（リニア）である。なお、同有機 EL の一般的な構造は図 4 に示すような構造をとる。

【 0 0 7 7 】

すなわち、図 4（a）に示すように、基板 3 1 のうえに陽極 3 2 を形成し、そのうえに有機多層膜 3 4（正孔入層 3 5、正孔輸送層 3 6、発光層 3 7、電子輸送層 3 8）を形成し、そのうえに陰極 3 3 を積層した層構成 3 9 を用いる。

【 0 0 7 8 】

なお、発光層 3 7 の構造図は図 4（b）に示されるビフェニール（出光興産の DPVB i）などが使われている。

【 0 0 7 9 】

なお、本実施の形態では好ましい組み合わせで説明しているので、本発明の手段 5 の実施の形態でもある。すなわち、図 2 ではメモリ回路 9 として、ゲート ON 電源配線（電圧 V_{on} ）とゲート OFF 電源配線（電圧 V_{off} ）とを電源配線として有機 EL 駆動用電源 VDD とは独立に電圧設定可能な構成としている。

【 0 0 8 0 】

以下本実施の形態の電圧設定について見てみる。本発明の階調表示方法では画素毎にスタティックメモリを持った構成や画素外にSRAM (static random access memory) を持った構成を用いることが好ましい。

【0081】

この画素外にSRAMを持った構成として、従来例に示した特開2000-227608号公報がある。この公報に開示されている図19のTFT基板構成は、すでに述べたように、表示部310の外にSRAMで構成される画像メモリ308を持ち、表示部310に図20や図21のコンデンサで構成される画素メモリを持ち、この画素メモリに蓄えられた2値データで表示を行う構成である。

【0082】

上記のような画素毎にメモリを持った構成において、そのメモリの出力電圧を、有機ELを駆動するためのTFTのゲート電極へ印加するが、その表示を安定させるためにはどのようなゲート電圧が必要かについて述べる。

【0083】

図5は図3にその印加電圧-電流特性を示した有機ELとその有機ELへ駆動用TFTを直列接続した構成で、駆動用TFTのゲート電圧 V_{gate} と有機ELを流れる電流特性 I_{oled} の関係をシミュレーションした結果である。

【0084】

図5から分かる通り、有機ELのような自発光素子では、駆動用TFTのゲート電圧が-5Vから-2Vにより、有機ELを流れる電流値が変化してしまう。

【0085】

すなわち、上記メモリから通常のロジック出力電圧(V_{DD} と GND)が出力されていても、上記有機ELを駆動するためのTFTのゲート電極へ印加する電圧として不十分なことが分かる。

【0086】

まして、特開2000-227608号公報に示された図20の回路構成では、コンデンサ406へ溜めた電荷が変化すると、その変化で駆動用TFT407のゲート電圧が変化してしまい、発光輝度が変化するという問題が起こることが分かった。これは図21でも同様である。

【0087】

また、画素毎にスタティックメモリを持った構成として、従来例に示した特開平8-194205号公報がある。すでに述べたように、この公報に開示されている図18のTFT基板構成は画素毎にスタティックメモリ206を持ち、この画素メモリに蓄えられたデータで2値表示を行う構成である。この構成でも、駆動用TFT214のゲート電圧として論理回路の電源電圧VDDやGND電圧を直接用いる構成としている。有機ELのような自発光素子を駆動する場合は、図5に示した駆動用TFTのゲート電圧Vと有機ELを流れる電流特性Iの関係においてV-I特性の変化が少ないところを用いることが好ましい。

【0088】

これは、有機ELのような自発光素子の駆動用TFTでは、ゲート電圧の変動が発光輝度の変化となるためである。しかし、上記電源電圧VDDやGND電圧を直接用いる構成では、そのような適切な電圧の選択が行えない。

【0089】

これに対し、本実施の形態の構成によれば、以下に述べるように、画素毎にメモリを持った表示装置に適し、有機ELのような自発光素子で安定な輝度特性を示す画素メモリ回路を得ることができる。

【0090】

図2に示す有機EL駆動用としてのp型のTFT7と図3にそのV-I特性を示した有機EL8との組み合わせにおいて、電源電圧VDD≒6Vのときの、p型TFT7のゲート電圧Vと有機EL8を流れる電流Iの関係をシミュレーションで求めたのが図5のV-I特性である。

【0091】

図5より分かるように、p型TFT7のゲートOFF電圧は約4V以上あればほぼ0 μ Aで良いが、ゲートON電圧は0Vでも不十分であり、約-5V以下でほぼ0.8 μ Aと安定する。

【0092】

例えば、ゲートOFF電圧： $V_{off} = 5V$ とし、ゲートON電圧： V_{on} の変動幅を

(ゲートON電圧: V_{on} - ゲートOFF電圧: V_{off}) $\times (1 \pm 0.1)$
とすると、ゲートON電圧は0Vでは輝度バラツキは約 $\pm 3\%$ であるが、ゲートON電圧は-5Vでは輝度バラツキは約 $\pm 1\%$ と小さくなる。

【0093】

有機EL駆動用TFTのゲート電圧は周辺配線との間の浮遊容量等で変動するので、このように輝度バラツキの少なくなる電圧を有機EL駆動用TFTのゲートON電圧として設定すると効果がある。

【0094】

このように、本発明の手段4である画素毎に配置されたスタティックメモリ素子の出力端であるインバータ回路の、一方のTFT（トランジスタ）のソース端子をON輝度設定配線へ接続し、もう一方のTFT（トランジスタ）のドレイン端子をOFF輝度設定配線へ接続することで、スタティックメモリ素子の出力電位を適切なON電位やOFF電位とすることができる。

【0095】

このような構成は、本発明の手段1～3において有効なだけではなく、一般に画素毎にスタティックメモリ素子を持った構成で有効である。

【0096】

そこで、本実施の形態では有機EL駆動電圧として+6Vを、ゲートON電圧 V_{on} として-5Vを、ゲートOFF電圧 V_{off} として+5Vを用いる。

【0097】

すなわち、図2においてゲートOFF電源配線（電圧 V_{off} ）は約5Vの電源配線であり、ゲートON電源配線（電圧 V_{on} ）は約-5Vの電源配線である。このゲートOFF電圧配線（電圧 V_{off} ）と駆動用TFT7のゲート配線をp型TFT13を用いて繋ぎ、ゲートON電圧配線（電圧 V_{on} ）と駆動用TFT7のゲート配線をn型TFT14を用いて繋ぐ。

【0098】

このような回路構成を用いると有機EL駆動用TFTのゲート配線に適切なON電圧とOFF電圧を供給することができる。なお、図2のp型TFT13とn型TFT14はインバータ回路を構成している。そこで、もう一段、p型TFT

1 1 と n 型 T F T 1 2 で インバータ回路を構成し相互のゲート電極と出力電極を結合すると、メモリ回路 9 にてスタティックメモリが構成できる。

【 0 0 9 9 】

この有機 E L 素子 8 の表示状態を制御する方法を図 6 に示す。

【 0 1 0 0 】

すなわち、1 フレーム期間 T F の最初の期間 T 0 の間に電源 V D D を G N D 電位（もしくは G N D 電位以下の - 6 V 等）とし、制御線 C i b i t 2 を選択状態とすることで T F T 2 1 を導通状態とし、T F T 6（のソース・ドレイン間）を 1 走査線毎に順次導通状態とし、すべての走査線上の画素のメモリ回路へ最上位ビットのデータを記録する。

【 0 1 0 1 】

その後、期間 1 6 T 1 の間に電源 V D D を + 6 V として、この有機 E L 駆動用 T F T 7 のゲート電極へメモリ回路 9 に記憶されたデータに対応した電圧 V o n か電圧 V o f f を印加する。

【 0 1 0 2 】

その後、制御線 C i b i t 2 を非選択状態とすることで T F T 2 1 を非導通状態とし、制御線 C i b i t 1 を選択状態とすることで T F T 2 0 を導通状態とする。

【 0 1 0 3 】

この間、期間 T 0 の間に T F T 6（のソース・ドレイン間）を順次導通状態とし、電源 V D D を G N D 電位とし、下位ビット相当の電位をコンデンサ 2 2 に貯め、その後ビットの重みに対応した期間だけ電源 V D D を + 6 V として、有機 E L 駆動用 T F T 7 のゲート電極へ、コンデンサ 2 2 に貯められたデータに対応した電圧 V o n か電圧 V o f f を印加する。

【 0 1 0 4 】

そして、最後の下位ビット相当の表示が終わった後に、制御線 C i b i t 1 を非選択状態とすることで T F T 2 0 を非導通状態とし、制御線 C i b i t 2 を選択状態とすることで T F T 2 1 を導通状態とし、メモリ回路 9 に記録されている最上位ビットのデータに対応した電圧 V o n か電圧 V o f f を有機 E L 駆動用 T

F T 7 のゲート電極へ印加する。

【 0 1 0 5 】

このように走査することで、図 6 に示すように階調レベル 3 1 の背景に階調レベル 3 2 の模様が動くとき、視線が図 6 の破線 (a) ~ (d) のように動いても、その視線移動上の画素の視線移動時の階調パターンの誤りが図 2 4 の従来例と比べて減少する。

【 0 1 0 6 】

例えば、破線 (a) では視線が階調 1 , 2 , 4 と $3 2 / 2$ の点灯タイミングと被るので階調レベル 2 3 ($= 1 + 2 + 4 + 3 2 / 2$) が見える。破線 (d) では階調 $3 2 / 2$, 8 , 1 6 の点灯タイミングが被るので階調レベル 4 0 ($= 3 2 / 2 + 8 + 1 6$) が見える。これら値の本来の階調レベル 3 1 や 3 2 に対する誤りは図 2 4 の場合に比べて半分程度になる。

【 0 1 0 7 】

このように、画素毎にメモリと、そのメモリの値とは独立に制御されるコンデンサを持つことで、本実施の形態の駆動方法が可能となる。本実施の形態によれば、従来例の図 2 4 と必要な走査回数を変えなくとも、図 6 に示すように動画偽輪郭抑制効果がある。

【 0 1 0 8 】

なお、図 2 の画素メモリ回路 9 の動作は、

(1) メモリ回路 9 のデータ更新時、制御ラインとしての走査線 C_i を用いて T F T 6 を導通状態とし、制御線 $C_{i b i t 2}$ を用いて T F T 2 1 を導通状態とし、信号ラインとしてのデータ配線 S_j よりデータに対応した電圧 $V_{o n}$ または $V_{o f f}$ を、第 1 のインバータ回路 (p 型 T F T 1 1 と n 型 T F T 1 2 の回路) の入力端に与え、メモリ回路 9 の値を更新し、

(2) メモリ回路 9 のデータ保持時、走査線 (制御ライン) C_i または制御線 $C_{i b i t 2}$ を用いて T F T 6 または T F T 2 1 を非導通状態とし、第 2 のインバータ回路 (p 型 T F T 1 3 と n 型 T F T 1 4 の回路) の出力を第 1 のインバータ回路の入力端に与え、メモリ回路 9 の値を維持し、

(3) 上記メモリ回路 9 のデータ更新時およびデータ保持時を通して、制御線 C

i b i t 2 を選択状態とすることで T F T 2 1 を導通状態としている間に、第 2 のインバータ回路の p 型 T F T 1 3 が導通状態であれば、(T F T 2 0 が導通・非導通状態に関係なく) 有機 E L 駆動用 p 型 T F T 7 のゲート電圧は V o f f となり、有機 E L 8 は非発光状態となり、

(4) 上記メモリ回路 9 のデータ更新時およびデータ保持時を通して、制御線 C i b i t 2 を選択状態とすることで T F T 2 1 を導通状態としている間に、第 2 のインバータ回路の n 型 T F T 1 4 が導通状態であれば、(T F T 2 0 が導通・非導通状態に関係なく) 有機 E L 駆動用 p 型 T F T 7 のゲート電圧は V o n となり、有機 E L 8 は発光状態となる。

【 0 1 0 9 】

このようにすることで、有機 E L 駆動用 T F T 7 のゲート端子には、有機 E L を適切に 2 値駆動するための、電圧 V o n または V o f f が、コンデンサ 2 2 からメモリ回路 9 から供給される。その結果上記動画偽輪郭対策の効果や、階調直線性に優れた表示が可能となる効果がある。

【 0 1 1 0 】

なお、本実施の形態では、従来技術の図 1 7 に示した信号線ドライバのようなデータ・電圧変換回路が介在する必要はない。画素外に存在する S R A M のデータをそのまま画素に存在するスタティックメモリへ転送してやればよい。そこで、本実施の形態の画素 T F T 回路に適したシステム構成として、図 7 に示すシステム構成が提案できる。

【 0 1 1 1 】

すなわち、図 7 に示すのは、C P U (中温演算処理部) 1 から表示装置 3 へ表示すべき画像 (や文字) データが書き込まれる S R A M 4 (第 2 のメモリ素子) を表示装置と一体化した構成である。この S R A M 4 自体は上記 C G S T F T 製作プロセスを用いて表示装置へ作り込んでも、単結晶半導体工程を用いて作った I C を表示装置 3 へ後から実装するようにしても構わない。また単結晶半導体工程を用いて作った I C を後から実装する場合、表示装置 3 上に直接実装しても、銅箔パターンで配線されたテープ上に T A B (Tape Automated Bonding) 技術により一旦実装してから、改めてその T C P (Tape Carrier Package) を表示基板

と結合させても構わない。

【0112】

なお、2は表示装置の外部にあるフラッシュメモリであり、5はSRAM4のデータを画素10へ書き込むためのコントローラ・ドライバ回路である。また、画素10の回路構成は図2に示された画素TFT回路構成である。

【0113】

このSRAM4は図8に示すように、CPU1へのシリアル・I/Oポート（シリアルINコントロール回路55とシリアルOUTコントロール回路54）とは別に、表示装置3のSEG（信号線ドライバ）側1列（画素A_{i1}～画素A_{im}）分のデータをパラレルに出力するポート（パラレルOUTコントロール回路53）を持つ。その他は通常のSRAM回路と同様、アドレスバッファ50、58、ロウデコーダ51、カラムデコーダ57、セクタ56、メモリアレイ52を持つ。

【0114】

このSRAMを用いて、外部から入力された画素単位のデータを、上記駆動方法に示したビット単位のデータへ変換し、SRAMから直接画素メモリへ書き込むことで、SRAMからSEGドライバへシリアルにデータを転送する必要がなくなり、そのためのエネルギーが省け、表示装置全体の低消費電力化が図れる。また、使用する側では、このような駆動方法がとられていることを意識せずに使うことができる。

【0115】

なお、図2の画素TFT回路構成ではゲートON電圧配線（電圧V_{on}）と有機EL駆動用電源VDDは別配線としたが、図5のV-I特性よりV_{on}は4V以上であればよいのであり、VDDの6Vを用いることも可能である。この場合、ゲートON電圧配線（電圧V_{on}）と有機EL駆動用電源VDDが共通化できる。

【0116】

〔実施の形態3〕

本発明のさらに他の実施の形態について図9および図10に基づいて説明すれ

ば以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

【0117】

本実施の形態では本発明の手段3の説明を行う。

【0118】

図9に示すのは本実施の形態で用いた画素A_{ij}の等価回路構成である。この等価回路はTFT6のソース端子にデータ配線S_jが接続され、TFT6のドレイン端子にTFT21のソース端子と、TFT20のソース端子と、TFT15のゲート端子が接続された構成である。なお、このTFT21のドレイン端子にはスタティックメモリであるメモリ回路9が、TFT20のドレイン端子にはコンデンサ22が接続されている。また、TFT15のゲート端子にはTFT25が接続されている。

【0119】

すなわち、すでに述べたように図2の有機EL8は図4に示されるように基板31、陽極32、正孔入層35、正孔輸送層36、発光層37、電子輸送層38、陰極33の順番に積層し、有機EL駆動用TFT7をp型とし、有機EL8をTFT7とGNDの間に挿入している。

【0120】

これに対し、本実施の形態の図9の有機EL（電気光学素子）26はこれとは逆に基板31、陰極33、電子輸送層38、発光層37、正孔輸送層36、正孔入層35、陽極32と順番に積層し、有機EL駆動用TFT15をn型とし、有機EL8をTFT15と電源VDDの間に挿入している。

【0121】

この図9の画素回路構成の場合、V_{off}が約0V、V_{on}が約10Vとなる。なお、図9の画素TFT回路構成ではゲートON電圧配線（電圧V_{off}）とGND配線を別配線としたが、V_{off}=0Vなので、ゲートOFF電圧配線（電圧V_{off}）とGND配線が共通化できる。

【0122】

この図9の画素回路構成を用いて表示状態を制御する方法を図10に示す。な

お、図 1 0 では説明のため、パネルの走査線数 m 本として 1 2 本とし、各画素で表示する階調ビット数 K として 4 ビット = 1 6 階調とする。なお、 $C 1 \sim C 1 2$ は走査線を表す。

【 0 1 2 3 】

まず、1 フレーム期間を走査線数の 1 2 で割り単位期間とする（これを図 1 0 では時間 A として示す）。次に、各単位期間を階調ビット数の 4 で割り選択期間とする（これを図 1 0 では時間 B で示す）。以下第 X 単位期間の第 Y 選択期間を時間 $X - Y$ として記す。

【 0 1 2 4 】

したがって、例えば、 j を 1 以上 K 未満の整数とすると、ある単位期間 $N (j)$ 内の第 $p (j)$ 番目の選択期間は「 $N (j) - p (j)$ 」と表される。

【 0 1 2 5 】

この場合、1 フレーム期間 $T F$ は $1 2 \times 4 = 4 8$ 選択期間から構成されるので、1 階調当たりの時間は $4 8 / 1 5 = 3. 2$ となる。そこで 1 階調当たり 3 選択期間を割り振る。

【 0 1 2 6 】

まず、図 1 0 の $C 1$ に示すように、第 1 番目の走査線と繋がる画素の第 1 ビット目のデータをデータ配線へ送出するタイミングを時間 $4 - 4$ とする。このとき、第 1 番目の走査線と繋がる画素の第 2 ビット目のデータをデータ配線へ送出するタイミングは 3 選択期間後の時間 $5 - 3$ となる。更に第 1 番目の走査線と繋がる画素の第 3 ビット目のデータをデータ配線へ送出するタイミングは 3×2 選択期間後の時間 $7 - 1$ となる。

【 0 1 2 7 】

この段階までに、各ビットの選択期間 $X - Y$ の Y の部分が重なっていれば（同じ数字が出ていれば）、重ならないよう 1 階調当たりの選択期間数を調整し、前記 Y の部分が重ならないようにする。上記例では前記 Y の部分が重なっていないので、次に進む。

【 0 1 2 8 】

すなわち、ここでは、「時間 $X - Y$ 」は、 X 単位選択期間の第 Y 選択期間を意

味している。この駆動方法では、走査線A+1のタイミングは、走査線Aのタイミングが1単位選択期間遅れたタイミングであるため、このYの部分为重なると、2つの走査線で同時に選択期間が発生することになる。例えば図10では、「4」の選択期間がY=1にあると、C1の「4」とC7の「3」が同時に発生する。しかし、1つの信号線へ同時に異なるデータを供給することはできないため、表示できないことになる。そのため、上述のようにして、Yの部分为重ならないようにする。つまり、Yが重なるということは、1階調あたりに割り当てた選択期間数が不適切であったということであり、したがってそれを調整すればよい。

【0129】

次に第1番目の走査線と繋がる画素のメモリ（メモリ回路9）へデータを書き込むタイミングを決める。すなわち、図9ではメモリは1ビットのみなので、第4ビット目のデータをデータ配線へ送出するタイミングは上記Yの残った値2とする。この第4ビット目のデータを送出するタイミングは、第1ビット目のデータをデータ配線へ送出するタイミングから概ね（1階調あたりに割り当てた選択期間数である） $3 \times$ （第4ビット目の、第1ビット目に対する重みの比） $8 \div$ （概ね2分割したいので）2選択期間前になるよう調整し、時間1-2とする。このようにして、メモリへ第4ビット目のデータを書き込みながら表示し、その後第1～第3ビット目のデータを表示し、その後メモリから第4ビット目のデータを読み出して表示する。

【0130】

以上で各ビットデータの送出タイミングは決まる。このようにして作られたタイミングが、走査線C1のタイミングとなる。残りの走査線C2～C12のタイミングは、このタイミングを順次単位期間分遅らせて作ることができる。

【0131】

図9の制御線C i b i t 1は、第1ビットのデータ送出タイミングから第3ビットの表示終了タイミングまでT F T 20が導通状態となるよう制御される。

【0132】

制御線C i b i t 2は、メモリに蓄えられた第4ビット目（MSB）のデータ



の表示タイミングに合わせてTFT21が導通状態となるよう制御される。

【0133】

なお、図10のタイミングでは1ビットの重み3選択期間に階調数(2の4乗-1) = (1+2+4+8)を掛けた45選択期間と、走査線数12本にビット数4を掛けた48が一致していないので、図9に示すTFT25およびそれをスイッチングする制御線Cibit3を導入する。逆に言うと、走査線数m本×ビット数Kビットと1ビット当たりの選択期間×(2のK乗-1)が一致するときは上記TFT25の導入は必要ない。

【0134】

上記TFT25は有機EL26を流れる電流が0となるようソース電極はTFT15のゲート電極へ、ドレイン電極はGNDへと接続されている。そして、TFT25は図10に示すように上記TFT20、21が非導通状態のときに導通状態となる。

【0135】

上記の通り走査した結果、各走査線に繋がる画素がどのようなタイミングでどのビットの表示をするかを示したのが図10のC1～C12に四角枠で囲って示したパターンである。

【0136】

このように画素毎にメモリと、そのメモリに記憶されたデータとは独立に制御可能なコンデンサとリセット手段を持つことで、図6に示した時間分割階調制御に比べ、

- (1) 電源VDDを制御する必要がない、
 - (2) 発光時間が1フレーム期間の9割以上を占めることができる、
- などの利点がある。

【0137】

また、動画偽輪郭対策としては図6と同様の効果がある。

【0138】

なお、図9においてコンデンサ22と直列にTFT20を挿入しているが、このTFT20はなくても良い。すなわち、メモリ回路9がスタティックメモリ回

路であれば、コンデンサ22に貯められた電荷がTFT21がONとなったとき、どの程度スタティックメモリ回路の出力電圧に影響与えるかを判断し、影響の無いようにコンデンサ22の容量を小さくするとか、TFT21とスタティックメモリの間に上記コンデンサ22より容量の大きなコンデンサを入れておくとかすれば、上記TFT20は必ずしも必要ない。

【0139】

〔実施の形態4〕

本発明のさらに他の実施の形態について図11ないし図14に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

【0140】

図11に示すのは本実施の形態で用いた画素の回路構成である。

【0141】

すなわち、図9のスタティックメモリからなるメモリ回路9が1ビット構成であったのに対し、それに相当する、図11のスタティックメモリからなるメモリ回路18は（図11は描画の都合で2ビット構成であるが）複数ビットのメモリ回路構成例であり、各々スタティックメモリからなるメモリ回路18およびメモリ回路（第1のメモリ素子）17と有機EL駆動用TFT15のゲートとに間に、ビット制御用TFT61、62が配置されている。

【0142】

ここでは、図9に有ったTFT25を用いないための条件を計算して適用する。まず、各ビットに割り当てられた時間 $X-Y$ の Y が下位の階調で重なり合わない条件を探す。

【0143】

調べてみた結果、2ビットのメモリを持つとき、5ビット階調までなら簡単に求まる。

【0144】

すなわち、4ビット階調であれば、図12の（2）～（6）のように1階調当

たり 1, 2, 3, 5, 6... 選択期間と 4 の倍数以外なら何でも良いことになる。ところで、図 1 2 の (1) に示すのは図 1 0 で時間 A、時間 B で示した第 X 単位期間 (1 ~ 2 1 で示す) の第 Y 選択期間 (1 ~ 4 で示す) である。次に、1 階調当たりの選択期間数が分かったので、何走査電極数表示できるか調べる。

【0 1 4 5】

図 1 2 の (2) の場合、1 6 階調表示に必要な選択期間数は $(1 6 \text{ 階調} - 1) \times 1 = 1 5$ 選択期間であるが、これはビット数 4 の倍数でないので図 9 のように T F T 2 5 を用いないと実現できない。そこで、階調数 - 1 が 4 の倍数となるよう 1 3 階調表示として、必要な選択期間数は $(1 3 \text{ 階調} - 1) \times 1 = 1 2$ 選択期間となり、走査線は $1 2 / 4 = 3$ 本であればうまく行くことが分かる。このとき最大階調ビットの重みは 5 階調である。

【0 1 4 6】

図 1 2 の (3) の場合、1 6 階調表示に必要な選択期間数は $(1 6 \text{ 階調} - 1) \times 2 = 3 0$ 選択期間であるが、これはビット数 4 の倍数でないので同様に、階調数 - 1 が 4 の倍数となるよう 1 5 階調表示として、必要な選択期間数は $(1 5 \text{ 階調} - 1) \times 2 = 2 8$ 選択期間となり、走査線は $2 8 / 4 = 7$ 本であればうまく行くことが分かる。このとき最大階調ビットの重みは 7 階調である。

【0 1 4 7】

図 1 2 の (4) の場合、1 6 階調表示に必要な選択期間数は $(1 6 \text{ 階調} - 1) \times 3 = 4 5$ 選択期間であるが、これはビット数 4 の倍数でないので同様に、階調数 - 1 が 4 の倍数となるよう 1 3 階調表示として、必要な選択期間数は $(1 3 \text{ 階調} - 1) \times 3 = 3 6$ 選択期間となり、走査線は $3 6 / 4 = 9$ 本であればうまく行くことが分かる。このとき最大階調ビットの重みは 5 階調である。

【0 1 4 8】

図 1 2 の (5) の場合、1 6 階調表示に必要な選択期間数は $(1 6 \text{ 階調} - 1) \times 5 = 7 5$ 選択期間であるが、これはビット数 4 の倍数でないので同様に、階調数 - 1 が 4 の倍数となるよう 1 3 階調表示として、必要な選択期間数は $(1 3 \text{ 階調} - 1) \times 5 = 6 0$ 選択期間となり、走査線は $6 0 / 4 = 1 5$ 本であればうまく行くことが分かる。このとき最大階調ビットの重みは 5 階調である。

【0149】

図12の(6)の場合、16階調表示に必要な選択期間数は(16階調-1)×6=90選択期間であるが、これはビット数4の倍数でないので同様に、階調数-1が4の倍数となるよう15階調表示として、必要な選択期間数は(15階調-1)×6=84選択期間となり、走査線は $84/4=21$ 本であればうまく行くことが分かる。このとき最大階調ビットの重みは7階調である。

【0150】

結局、1単位期間当たりの選択期間数4に対して、+1(1階調=1選択期間、1階調=5選択期間)、+2(1階調=2選択期間、1階調=6選択期間)がOKなら-1(1階調=3選択期間)、-2(1階調=2選択期間、1階調=6選択期間)もうまくいくということである。

【0151】

また、得られる階調数も+1、-1で12階調、+2で15階調と定まってくる。

【0152】

このように第1ビット～第2ビットの割り当てられた時間X-YのYのタイミングが決まり、走査線数が決まれば、残りの第3ビット～第4ビットの割り当てられた時間X-YのYのタイミングは、対応する階調表示期間の適当な(相互にYが重ならない)タイミングが設定可能である。

【0153】

このようにタイミングを設定した後、最大ビットである第4ビットに割り当てられた期間の(第4ビット目のデータ書き換え期間を含む)概ね半分を単位期間単位でフレーム期間の最初の方に持ってきて動画偽輪郭対策とする。

【0154】

また、図12の(3)のように第3ビットのデータ書き換え期間が第3ビットに割り当てられた期間の先頭でないときは、その書き換え期間から単位期間単位でタイミングを切り出し、最大ビットである第4ビットに割り当てた前半の期間の中に移動させる。

【0155】

このようにして、図12を書き換えたのが図13である。

【0156】

このようにして作られたタイミングが、図10の走査線C1のタイミングとなる。残りの走査線C2～C12のタイミングは、このタイミングを順次単位期間分遅らせて作ることができる。

【0157】

同様に、5ビット階調であれば、図14の(2)～(5)のように1階調当たり1, 2, 3, 4・・・選択期間と5の倍数以外なら何でも良いことになる。次に、1階調当たりの選択期間数が分かったので、何走査電極数表示できるか調べる。

【0158】

図14の(2)の場合、32階調表示に必要な選択期間数は $(32 \text{ 階調} - 1) \times 1 = 31$ 選択期間であるが、これはビット数5の倍数でないので図9のようにTFT25を用いないと実現できない。そこで、5の倍数となるよう31階調表示として、必要な選択期間数は $(31 \text{ 階調} - 1) \times 1 = 30$ 選択期間となり、走査線は $30 / 5 = 6$ 本であればうまく行くことが分かる。この場合、最大階調ビットの重みは15階調となる。

【0159】

図14の(3)の場合、32階調表示に必要な選択期間数は $(32 \text{ 階調} - 1) \times 2 = 62$ 選択期間であるが、これはビット数5の倍数でないので同様に、階調数-1が5の倍数となるよう31階調表示として、必要な選択期間数は $(31 \text{ 階調} - 1) \times 2 = 60$ 選択期間となり、走査線は $60 / 5 = 12$ 本であればうまく行くことが分かる。このとき最大階調ビットの重みは15階調である。

【0160】

図14の(4)の場合、32階調表示に必要な選択期間数は $(32 \text{ 階調} - 1) \times 3 = 96$ 選択期間であるが、これはビット数5の倍数でないので同様に、階調数-1が5の倍数となるよう31階調表示として、必要な選択期間数は $(31 \text{ 階調} - 1) \times 3 = 90$ 選択期間となり、走査線は $90 / 5 = 18$ 本であればうまく行くことが分かる。このとき最大階調ビットの重みは15階調である。

【0161】

図14の(5)の場合、32階調表示に必要な選択期間数は(32階調-1)×4=124選択期間であるが、これはビット数5の倍数でないので同様に、階調数-1が5の倍数となるよう31階調表示として、必要な選択期間数は(31階調-1)×4=120選択期間となり、走査線は $120/5=24$ 本であればうまく行くことが分かる。このとき最大階調ビットの重みは15階調である。

【0162】

この5ビット階調表示の場合も、4ビット階調表示の場合同様に、このように第1ビット～第3ビットの割り当てられた時間X-YのYのタイミングが決まり、走査線数が決まれば、残りの第4ビット～第5ビットの割り当てられた時間X-YのYのタイミングは、対応する階調表示期間の適当な(相互にYが重ならない)タイミングが設定可能である。

【0163】

また、最大ビットである第5ビットに割り当てられた期間の(第5ビット目のデータ書き換え期間を含む)概ね半分を単位期間単位でフレーム期間の最初の方に持っていけば動画偽輪郭対策となる。

【0164】

なお、本発明に係る基板は、第1の配線と、前記第1の配線と第1端子が接続された第1のスイッチング素子と、前記第1のスイッチング素子の第2の端子と電氣的に接続された第1のメモリ素子と、前記第1のスイッチング素子の第2の端子と電氣的に接続された電気光学素子を持つように構成してもよい。

【0165】

また、本発明に係る基板は、第1の配線と、前記第1の配線と第1端子が電氣的に接続された第1のスイッチング素子と、前記第1のスイッチング素子の第2の端子と電氣的に接続された第1のメモリ素子と、前記第1のスイッチング素子の第2の端子と電氣的に接続された電位保持手段と、前記第1のスイッチング素子の第2の端子と電氣的に接続された第2のスイッチング素子と、前記第2のスイッチング素子と電氣的に接続された電気光学素子を持つように構成してもよい。

【0166】

また、本発明に係る基板は、上記構成において、上記第1のメモリ素子が第3のスイッチング素子と1ビット分のデータを記憶するための記憶素子から構成されているであるように構成してもよい。

【0167】

上記構成に対応する構成として、以下の(1)～(2)が挙げられる。すなわち、

(1) 電気光学素子毎に第1のスイッチング素子を設け、その第1のスイッチング素子のソース端子をデータ配線と接続し、前記第1のスイッチング素子のドレイン端子と第1のメモリ素子を電氣的に接続し、前記第1のスイッチング素子のドレイン端子と画素電極を電氣的に接続した構成の基板とする。

【0168】

また、上記基板の上記画素電極に液晶表示素子等の電気光学素子を接続して、表示基板または表示装置とする。

【0169】

なお、ここで「電氣的に接続し」と記すのは、直接もしくはスイッチング素子を用いて間接的に接続することを意味する。

【0170】

(2) 電気光学素子毎に第1のスイッチング素子を設け、その第1のスイッチング素子のソース端子をデータ配線と接続し、前記第1のスイッチング素子のドレイン端子と第1のメモリ素子を電氣的に接続し、前記第1のスイッチング素子のドレイン端子とコンデンサ素子等の電位保持手段を電氣的に接続し、前記第1のスイッチング素子のドレイン端子と第2のスイッチング素子のゲート端子を接続した構成の基板とする。

【0171】

また、上記基板の上記第2のスイッチング素子のソース端子またはドレイン端子へ有機EL等の電気光学素子を接続して、表示基板または表示装置とする。

【0172】

なお、上記コンデンサ素子とは、コンデンサと第4のスイッチング素子から構

成されるか、コンデンサ単体で構成されることが好ましい。

【0173】

上記コンデンサ素子がコンデンサ単体で構成される場合は、特別にコンデンサを用意しなくとも、第2のスイッチング素子のゲート電極容量等で代替可能である。

【0174】

上記(1)～(2)の構成により、時間分割表示に適し、動画偽輪郭対策の施しやすい基板が得られ、その効果は明らかである。

【0175】

上記(1)～(2)の構成において、上記第1のメモリ素子としては、第3のスイッチング素子と1ビット分のデータを記憶するための記憶素子から構成されていることが好ましい。

【0176】

本発明の上記(1)～(2)の構成の基板構成では、上記液晶表示素子または電位保持手段へ一連の電圧を印加する第1の期間と、上記第1のメモリ素子へデータを保持する第2の期間と、上記第1のメモリ素子のデータを用いて前記液晶表示素子または電位保持手段へ電圧を印加する第3の期間とを持つ駆動方法を用いることが可能となる。

【0177】

このうち、上記第3の期間が一定周期の間に複数回出現することで、本発明の第1の課題である動画偽輪郭を少なくする効果を持つ。

【0178】

すなわち、PDP等でなされている動画偽輪郭対策は、ビットの重みの大きなデータを複数回に分けて、ビットの重みの少ないデータの前後で表示することで、動画偽輪郭を低減している。しかし、PDP等では上記ビットの重みの大きなデータを複数回表示するため、1回の表示毎に表示走査が必要である。

【0179】

これに対して、本発明の画素にメモリを持った構成であれば、そのビットの重みの大きなデータを上記第2の期間に画素毎にビットの重みの大きなデータを保

持することで、上記第3の期間に行うビットの重みの大きなデータを複数表示する動作が、表示走査することなく実現できる。

【0180】

また、本発明に係る表示装置は、上記基板を用いた表示装置であって、上記第1～第3の期間の走査方法として以下の(3)のようにすることができる。すなわち、

(3) 走査電極数を m 本以下、各画素へ表示すべき階調数を K ビット以下とし

1周期を m 個の単位期間に分割し、各単位期間を K 個の選択期間に分割し、

第 A 番目の単位期間の第 p 番目の選択期間で1ビット目のデータをデータ電極へ供給し、

第 B 番目の単位期間の第 q 番目($q \neq p$)の選択期間で2ビット目のデータをデータ電極へ供給し、

第 S 番目の選択期間の単位期間を構成する K 個の選択期間のうち他のビットで使っていない選択期間で K ビット目のデータをデータ電極へ供給する(m は正の整数、 K は2以上の整数、 A 、 B 、 p 、 q 、 S は0以上の整数)ように構成することができる。

【0181】

すなわち、表示パネルの走査線数が m 本以下で、階調表示数が K ビット以下のとき、1フレーム(またはフィールド)期間を m 個の単位期間に分割し、各単位期間を K 個の選択期間に分割し、

ある走査線上の画素の電気光学素子もしくは電位保持手段を、第 A 番目の単位期間の第 p 番目の選択期間で1ビット目のデータを用いて書き換え、第 B 番目($B = A$ または $B \neq A$)の単位期間の第 q 番目($q \neq p$)の選択期間で2ビット目のデータを用いて書き換え、第 C 番目($C \neq B$ 、 $C \neq A$)の単位期間の第 r 番目($r \neq q$ 、 $r \neq p$)の選択期間で3ビット目のデータを用いて書き換え・・・のように繰り返していき、

その走査線上の画素の第1のメモリ素子を第 s 番目($s < r$ 、 $s < q$ 、 $s < p$)の選択期間の単位期間を構成する K 個の選択期間のうち他のビットで使ってい

ない選択期間でKビット（最大重みのビット）を用いて書き換えるようにすることができる。

【0182】

このとき、上記第1ビット目のデータが画素の電気光学素子もしくは電位保持手段へ与えられている時間は第1ビット目の重みに比例し、上記第2ビット目のデータが画素の電気光学素子もしくは電位保持手段へ与えられている時間は第2ビット目の重みに概ね比例する。

【0183】

また、最大ビットのデータを第1のメモリ素子から読み出し、上記画素の電気光学素子もしくは電位保持手段へ与える時間の制御は、上記書き換え手段とは独立した手段で行う。

【0184】

この独立手段を持つことで、上記最大ビット目のデータが画素の電気光学素子もしくは電位保持手段へ与えられている時間が最大ビットの重みに概ね比例する。

【0185】

上記走査方法によれば、時間分割階調表示の1フレーム期間内の表示期間の比率を高めることができ、高輝度化や高効率化が可能となり、その効果は明らかである。

【0186】

上記（1）～（2）の構成においては、電位保持手段と、OFF輝度設定配線との間に第3のスイッチング素子を設けることが好ましい。この構成により、実施の形態3で示したように、この構成を持たない実施の形態4より、自由度の大きな表示制御が可能となる。

【0187】

また、本発明に係る基板は、電気光学素子毎に第1のメモリ素子を持った基板であって、前記電気光学素子の電源配線と、前記第1のメモリ素子の電源配線が分離されて設けられているように構成してもよい。

【0188】

上記構成としては、以下の（４）～（５）が挙げられる。すなわち、

（４）液晶表示素子等の電気光学素子と接続する画素電極と、その画素電極へ電圧を印加する第１のメモリ素子を持った基板であって、

上記第１のメモリ素子がＯＮ輝度設定配線との間の導通・非導通状態を制御するＯＮ制御ＴＦＴ（トランジスタ）と、ＯＦＦ輝度設定配線との間の導通・非導通状態を制御するＯＦＦ制御用ＴＦＴ（トランジスタ）とを備えた基板とすることができる。

【 0 1 8 9 】

また、上記基板の上記画素電極に液晶表示素子等の電気光学素子を接続して、表示基板または表示装置とすることができる。

【 0 1 9 0 】

上記ＯＮ輝度設定配線、ＯＦＦ輝度設定配線の電圧と上記電気光学素子の電源電圧は個別・独立に設定可能とすることが好ましい。

【 0 1 9 1 】

（５）有機ＥＬ等の電気光学素子を駆動するための第２のスイッチング素子（駆動用ＴＦＴ（トランジスタ））と、その第２のスイッチング素子（駆動用ＴＦＴ（トランジスタ））のゲート電極と接続した第１のメモリ素子を持った基板であって、

上記第１のメモリ素子が、その駆動用ＴＦＴ（トランジスタ）のゲート電極とＯＮ輝度設定配線との間の導通・非導通状態を制御するＯＮ制御ＴＦＴ（トランジスタ）と、その駆動用ＴＦＴ（トランジスタ）のゲート電極とＯＦＦ輝度設定配線との間の導通・非導通状態を制御するＯＦＦ制御用ＴＦＴ（トランジスタ）とを備えた基板とすることができる。

【 0 1 9 2 】

また、上記基板の上記第２のスイッチング素子のソース端子またはドレイン端子へ有機ＥＬ等の電気光学素子を接続して、表示基板または表示装置とすることができる。

【 0 1 9 3 】

上記ＯＮ輝度設定配線、ＯＦＦ輝度設定配線の電圧と上記電気光学素子の電源



電圧は個別・独立に設定可能とすることが好ましい。

【0194】

特に上記構成(1)～(2)の基板の駆動において、表示階調数をKビットとすると、各画素は1フレーム(またはフィールド)期間にK回書き換えられることになる。そこで、

CPU等から表示装置に表示すべき画像(や文字)データが書き込まれる画素外のSRAM(スタティック・ランダム・アクセス・メモリ)と、

そのSRAMから1ライン分の表示データを同時に出力するための配線と、

同配線から得られたデータを画素毎に記憶するための画素内のメモリ(画素メモリ)とを持った表示基板や表示装置が好ましい。

【0195】

また、上記構成(1)～(2)の第1のメモリ素子は直接電気光学素子や電気光学素子を駆動するためのスイッチング素子(TFT、トランジスタ)と接続されているので、上記手段4～5の構成で上記第1のメモリ素子の出力電圧を上記電気光学素子の電源電圧とは独立に設定可能とすることが望ましい。

【0196】

また、上記SRAMは、上記画素メモリおよび上記TFTと同じ工程で形成することも可能だが、異なる工程で形成したものを後から接続することも可能である。

【0197】

すなわち、上記SRAMと上記画素メモリおよび上記TFTとを同じPoly-Si TFT工程やCGSTFT工程で形成するようにすることも可能であり、また、上記画素メモリおよび上記TFTのみPoly-Si TFT工程やCGSTFT工程で形成し、上記SRAMは単結晶半導体工程で形成したものを後から接続するようにすることも可能である。

【0198】

また、上記CPUは上記SRAMとは別個に作ることも可能であるが、CPUとSRAMを一体で形成することも可能である。

【0199】

上記のように、画素毎に画素メモリを持ち、その画素メモリの出力を駆動用TFTのゲート電圧へ印加し、その駆動用TFTで自発光素子を駆動する表示装置においては、画素メモリの出力電圧が変動しないような回路構成や、その画素メモリからの出力電圧を適切なON電位（図3なら-5V以下）とOFF電位（図3なら5V以上）に変換するための回路構成を備えることが好ましい。

【0200】

そこで、この駆動用TFTのゲート電極と、このゲート電極へ印加すべき適切なON電位を与えるON電極と、このゲート電極へ印加すべき適切なOFF電位を与えるOFF電極とをスイッチング素子を介し切り替える回路構成が有効になる。

【0201】

この駆動用TFTのゲート電極へ印加すべき電位がON電位かOFF電位かは、画素毎に設けられたメモリ回路で設定すれば良い。

【0202】

特に、このメモリ回路の出力端が上記ON/OFF電位を与える回路構成となっていることが好ましい。

【0203】

上記構成によれば、画素毎にメモリを持った電気光学素子の表示が安定し、輝度バラツキの影響を抑えることができ、その効果は明らかである。

【0204】

また、本発明に係る基板は、上記構成において、画素（ドット）毎にメモリ機能を持ち、前記画素（ドット）メモリとは異なる第2のメモリ素子に記録された表示データを、同時に複数の異なる画素（ドット）メモリへ転送するための配線を持ったように構成してもよい。

【0205】

また、本発明に係る基板は、上記構成において、画素（ドット）毎にメモリ機能を持ち、前記画素（ドット）メモリとは異なる第2のメモリ素子を持ったように構成してもよい。

【0206】

上記構成（１）～（２）では、画素毎に設けられたメモリの書き換えは、画素の外部に設けたＳＲＡＭに蓄えられたデータを転送することが有効である。この場合でも上記のような画素メモリの出力電圧が変動しないような回路構成は、図２０や図２１のようなコンデンサを用いた回路構成ではなく、上記構成のスタティックメモリを用いた回路構成とすることが好ましい。

【０２０７】

このＳＲＡＭは単結晶シリコン工程で形成したＩＣか、Poly-Si T F T工程で形成した回路であっても構わない。このＳＲＡＭは表示装置のドット数を横 $m \times$ 縦 n （白黒では画素数＝ドット数であるが、カラーでは１画素はＲＧＢ３ドットからなり１画素＝３ドットと数える）に対応するメモリを持ち、ＳＥＧ側駆動回路（ドライバ回路）の代わりに表示装置の１ライン分のドット数に対応する出力配線を持つ。

【０２０８】

こうすれば、外部から画素単位で入力されたデータを、上記駆動方法に合わせて、ビット単位で、ＳＲＡＭから直接１列分のデータについて並列に画素メモリへ転送できるので、図１７のように、信号線ドライバを通す場合と比べ、ＳＲＡＭから信号線ドライバ回路へデータを転送するための手間と電力が削除でき、特に本発明の手段１～２において低消費電力化が実現できる。

【０２０９】

上記構成によれば、表示すべき画像データ形成したＳＲＡＭから、表示すべき１ライン分の画像データを直接画素メモリへ転送可能となり、ＳＥＧ側駆動回路（ドライバ回路）へデータを転送するための消費電力が削除でき、低消費電力化が実現でき、その効果は明らかである。

【０２１０】

【発明の効果】

以上のように、本発明の、画素に記憶手段（メモリ）と電位保持手段（コンデンサ）を持った構成を用いることで、最大階調のデータに対応する電圧を第１のメモリ素子に保持させ、そのデータに対する電圧印加時間を分割して電圧を印加し、動画偽輪郭を緩和することができる。

【 0 2 1 1 】

また、このようなメモリ素子を用いることで、従来駆動できなかったケースでも駆動できるようになり、新たな駆動方法を開発することができる。

【 0 2 1 2 】

特にこの画素に記憶手段（メモリ）と電位保持手段（コンデンサ）を持った構成は時間分割階調表示に適している。

【 0 2 1 3 】

以上のように、本発明の表示装置を用いれば、1フレーム期間内に第1、第2および第3の期間をこの順に設けるとともに、1フレーム期間内に、上記第3の期間よりも前にデータ保持期間を設け、上記第1の期間に、最大階調（最大重みビット）のデータに対応する時間だけ電圧を上記電気光学素子に印加し、上記データ保持期間に、上記最大階調のデータを第1のメモリ素子に保持させ、上記第2の期間に、最大階調未満のデータに対応する時間だけ電圧を上記電気光学素子に印加し、上記第3の期間に、上記第1のメモリ素子に保持させた最大階調のデータに対応する時間だけ電圧を上記電気光学素子に印加する構成である。

【 0 2 1 4 】

これにより、ビットの重みの大きなデータを第2の期間に画素毎に保持することで、第3の期間に行うビットの重みの大きなデータを複数表示する動作が、表示走査することなく実現できる。それゆえ、1回の表示毎に表示走査を行うことなく、動画偽輪郭の発生を抑制することができるという効果を奏する。

【 0 2 1 5 】

また、メモリされた1ビット分余分に階調表示することができるので、表示品位の向上を図ることができるという効果を奏する。

【 0 2 1 6 】

また、本発明の表示装置の駆動方法は、走査線数を m 本とし、各画素で表示する階調ビット数を K とし、1フレーム期間を m 個の単位期間に分割し、各単位期間を K 個の選択期間に分割し、ある走査線上の画素の電気光学素子内のデータを水平走査期間内で書き換える際に、 j を1以上 K 未満の整数とし、 $p(j)$ （ただし $j = 1, 2, 3, \dots, K-1$ ）および $p(K)$ をそれぞれ、1以上 K 以下の



互いに異なる整数とし、すべての j について、 j ビット目のデータを、ある単位期間 $N(j)$ 内の第 $p(j)$ 番目の選択期間のタイミングで電気光学素子に供給し、 K ビット目のデータを、ある単位期間 $N(K)$ 内の第 $p(K)$ 番目の選択期間のタイミングで第1のメモリ素子に供給し、その後、その第1のメモリ素子から電気光学素子に供給する構成である。

【0217】

これにより、ビットの重みの大きなデータを画素毎に保持することで、ビットの重みの大きなデータを複数表示する動作が、表示走査することなく実現できる。それゆえ、1回の表示毎に表示走査を行うことなく、動画偽輪郭の発生を抑制することができるという効果を奏する。

【0218】

また、本発明の表示装置は、上記電位保持手段と、OFF輝度設定配線との間に第3のスイッチング素子を設けた構成である。

【0219】

このような構成と、上記の構成に加えて、上記第1のメモリ素子に保持させた最大階調のデータに対応する電圧を、一旦、電位保持手段に保持させてから、上記電気光学素子に印加する構成である。

【0220】

この電位保持手段に保持された電荷を、上記第3のスイッチング素子を用いて放電させることで、上記最大階調のデータに対応する電圧が電気光学素子へ印加されている時間を、最大階調の重みに合わせて調整することができる。

【0221】

また、本発明の表示装置は、液晶表示素子等の電気光学素子と接続する画素電極と、その画素電極へ電圧を印加する第1のメモリ素子を持ち、前記電気光学素子の電源電圧と、上記電気光学素子への電圧印加のオンオフ時期を決める信号として上記第1のメモリ素子に印加するオンオフ電圧とを、別個の電源とする構成である。

【0222】

これにより、電気光学素子の電源電圧が変動しても、第1のメモリ素子に印加

される電圧が変動しない。それゆえ、上記の構成による効果に加えて、安定な輝度特性を得ることができるという効果を奏する。

【0223】

また、本発明の表示装置は、上記の構成に加えて、上記画素が列ごとに走査されてデータを表示するものであり、1列分のデータを並列に上記画素へ直接転送する第2のメモリ素子を備えている構成である。

【0224】

これにより、第2のメモリ素子から直接画素メモリへ書き込むことで、第2のメモリ素子から信号線ドライバへシリアルにデータを転送する必要が無くなる。それゆえ、上記の構成による効果に加えて、信号線ドライバへデータを転送するための手間と電力が削除でき、表示装置全体の低消費電力化を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】

実施の形態1で用いた画素の回路構成を示す回路図である。

【図2】

実施の形態2で用いた画素の回路構成を示す回路図である。

【図3】

実施の形態で用いた有機ELの印加電圧 v s 有機EL発光電流を示すグラフである。

【図4】

(a) および (b) は、実施の形態で用いた有機ELの概念を示すものであり、(a) は積層構造を示す説明図、(b) は化学構造を示す説明図である。

【図5】

実施の形態1で用いた有機EL駆動用TFTのゲート電圧 v s 有機EL発光電流を示すグラフである。

【図6】

実施の形態2で用いた本発明の動画偽輪郭の効果を示す説明図である。

【図7】

実施の形態 2 で用いた画素毎にメモリを持った表示装置のシステム構成を示すブロック図である。

【図 8】

図 7 の S R A M の回路構成を示すブロック図である。

【図 9】

実施の形態 3 で用いた画素の回路構成を示す回路図である。

【図 1 0】

実施の形態 3 で用いた本発明の時間分割走査方法を示す説明図である。

【図 1 1】

実施の形態 4 で用いた画素の回路構成を示す回路図である。

【図 1 2】

実施の形態 4 で用いた本発明の時間分割走査方法のタイミング導出を示す説明図である。

【図 1 3】

実施の形態 4 で用いた本発明の時間分割走査方法の別のタイミング導出を示す説明図である。

【図 1 4】

実施の形態 4 で用いた本発明の時間分割走査方法の別のタイミング導出を示す説明図である。

【図 1 5】

従来の画素毎にメモリを持った有機 E L 表示装置の画素の回路構成を示す回路図である。

【図 1 6】

図 1 5 の画素メモリセルの回路構成を示す回路図である。

【図 1 7】

従来の画素毎にメモリを持った液晶表示装置のシステム構成を示す説明図である。

【図 1 8】

図 1 7 の画素メモリの回路構成を示す回路図である。

【図 1 9】

従来の画素毎にメモリを持った液晶表示装置のシステム構成を示す説明図である。

【図 2 0】

図 1 9 の画素メモリの回路構成を示す回路図である。

【図 2 1】

図 1 9 の画素メモリの別の回路構成を示す回路図である。

【図 2 2】

従来の回路構成を示す回路図である。

【図 2 3】

従来の時間分割階調表示方法を示す説明図である。

【図 2 4】

動画偽輪郭の発生原理を示す説明図である。

【符号の説明】

- 1 CPU
- 2 フラッシュメモリ
- 3 表示装置
- 4 S R A M (第 2 のメモリ素子)
- 5 コントローラ・ドライバ回路
- 6 T F T
- 7 T F T
- 8 有機 E L (電気光学素子)
- 9 メモリ回路 (第 1 のメモリ素子)
- 1 0 画素
- 1 1 T F T
- 1 2 T F T
- 1 3 T F T
- 1 4 T F T
- 1 5 T F T

- 1 7 メモリ回路 (第 1 のメモリ素子)
- 1 8 メモリ回路 (第 1 のメモリ素子)
- 2 0 T F T
- 2 1 T F T
- 2 2 コンデンサ (電位保持手段)
- 2 3 液晶素子 (電気光学素子)
- 2 4 T F T
- 2 5 T F T
- 2 6 有機 E L (電気光学素子)
- 3 1 基板
- 3 2 陽極
- 3 3 陰極
- 3 4 有機多層膜
- 3 5 正孔入層
- 3 6 正孔輸送層
- 3 7 発光層
- 3 8 電子輸送層
- 3 9 層構成
- 5 0 アドレスバッファ
- 5 1 ロウデコーダ
- 5 2 メモリアレイ
- 5 3 パラレル O U T コントロール回路
- 5 4 シリアル O U T コントロール回路
- 5 5 シリアル I N コントロール回路
- 5 6 セレクタ
- 5 7 カラムデコーダ
- 5 8 アドレスバッファ
- A i j 画素
- C i 走査線

C i b i t 1 制御線

C i b i t 2 制御線

C i b i t 3 制御線

S j データ配線

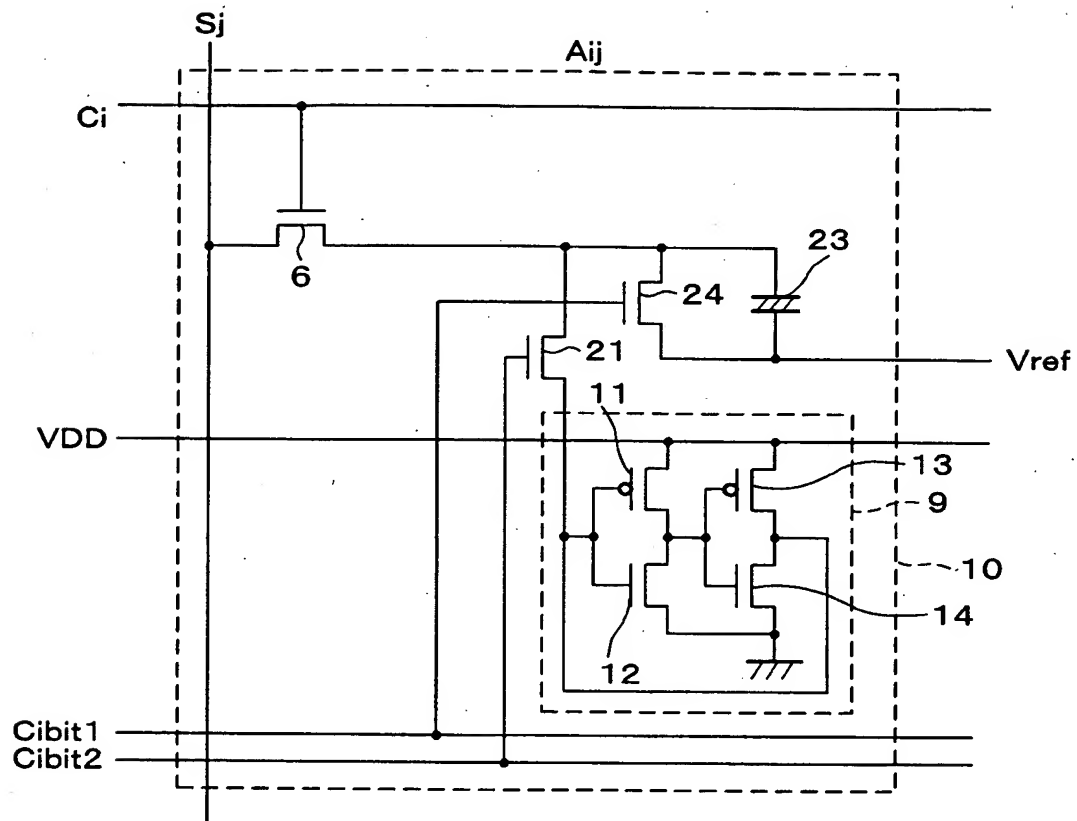
V D D 有機 E L 駆動用電源

V o n ゲート O N 電圧

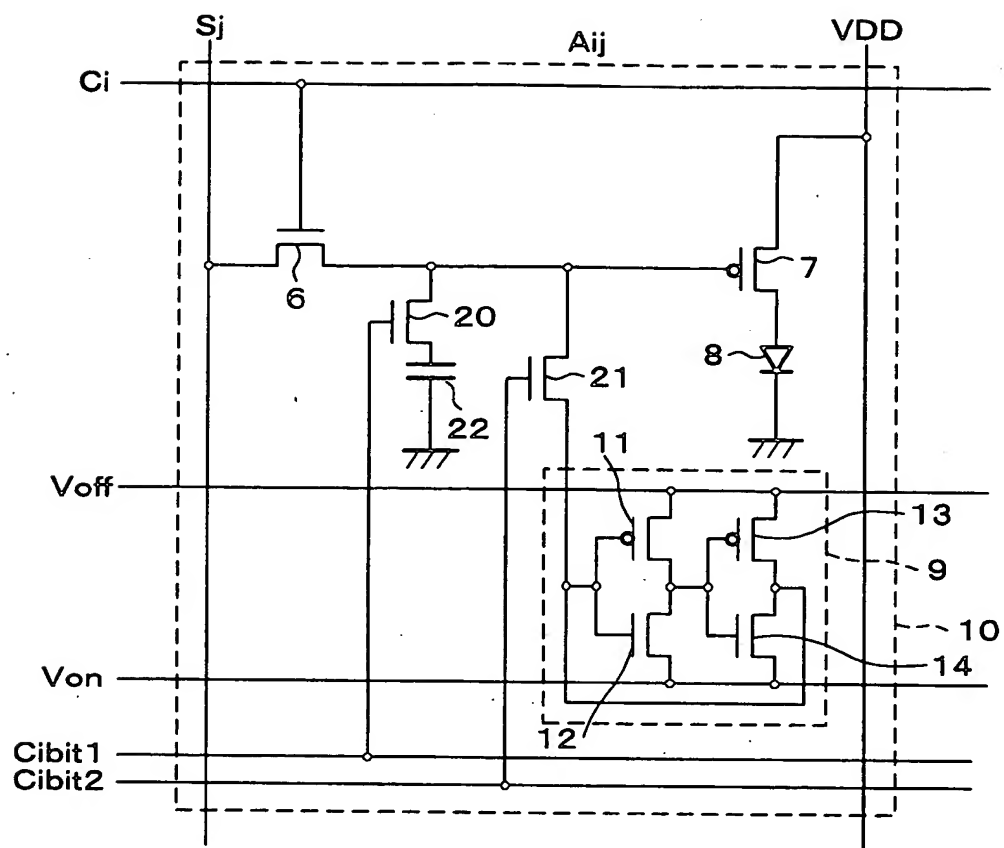
V o f f ゲート O F F 電圧

【書類名】 図面

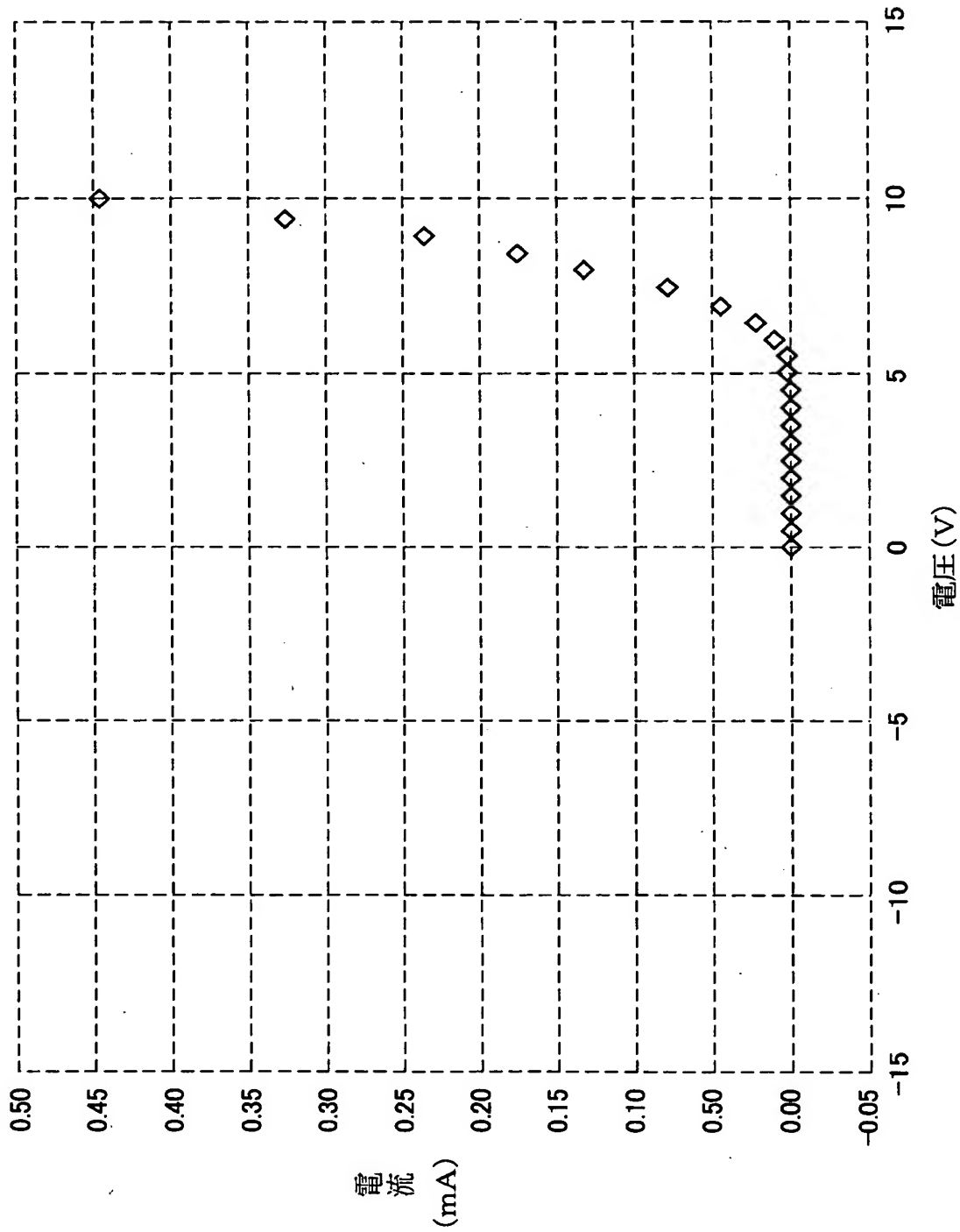
【図 1】



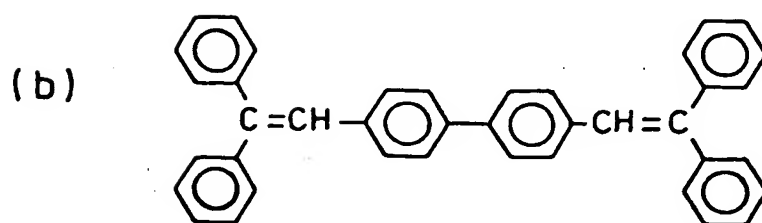
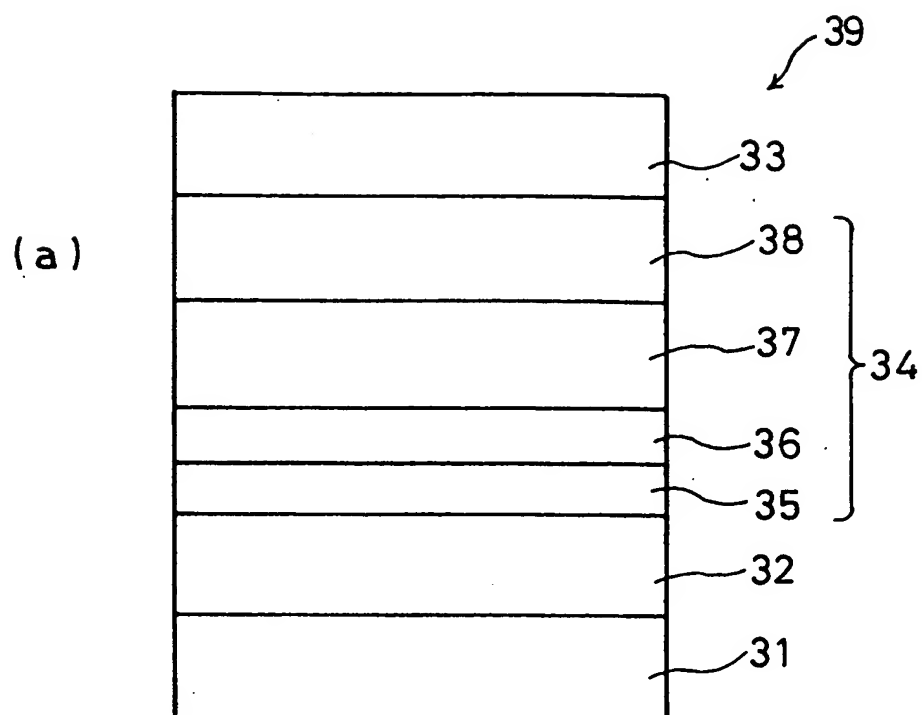
【図 2】



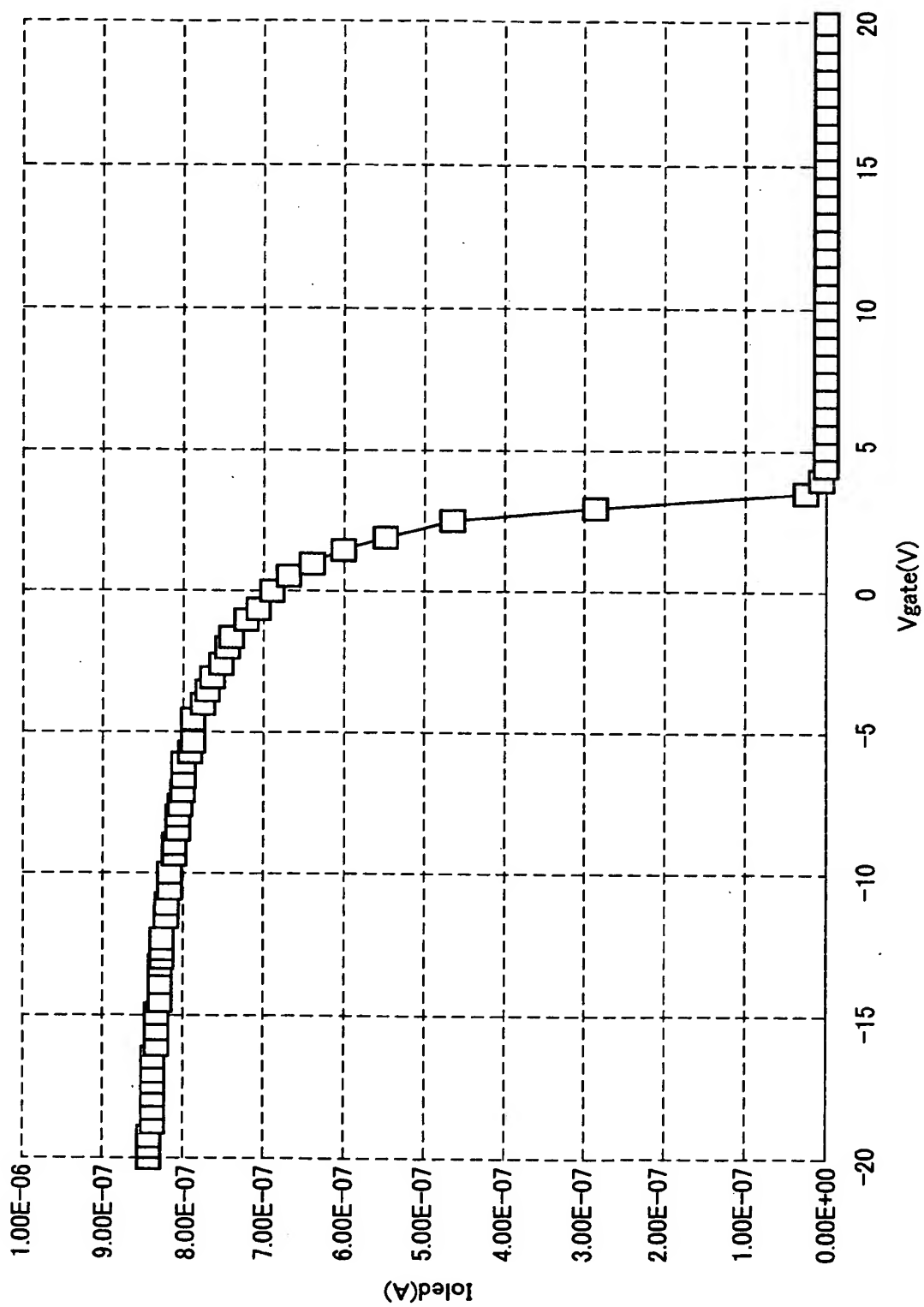
【図 3】



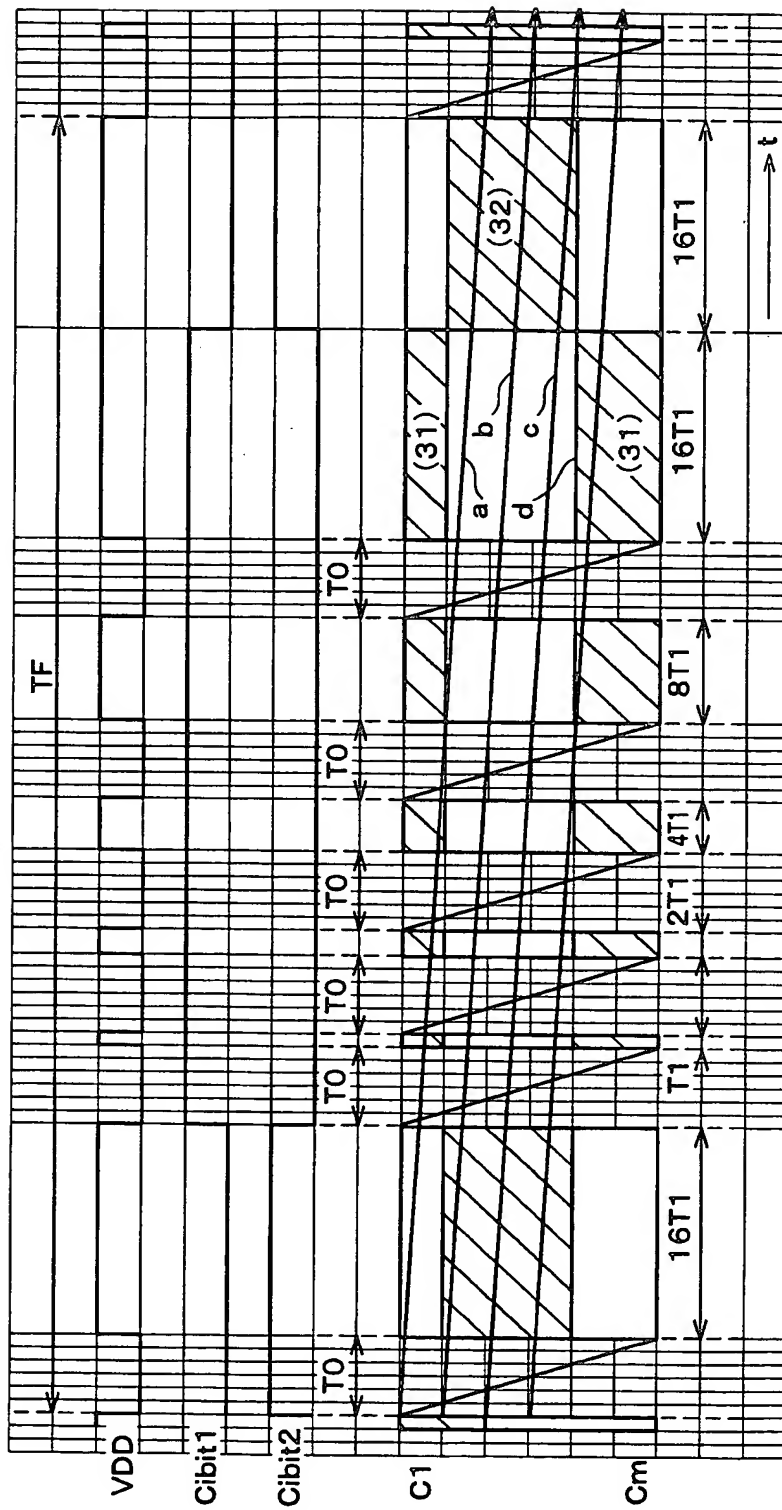
【図 4】



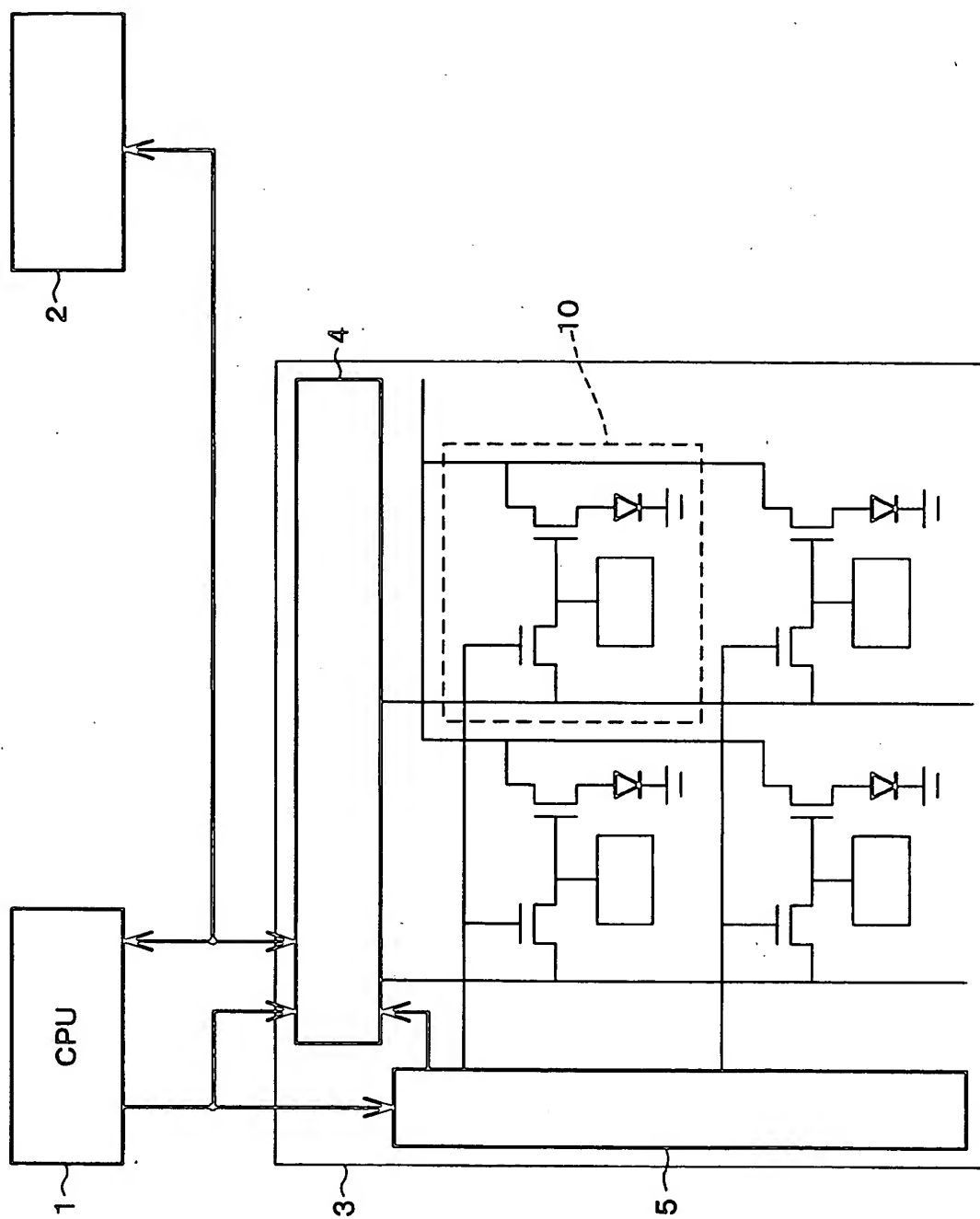
【図 5】



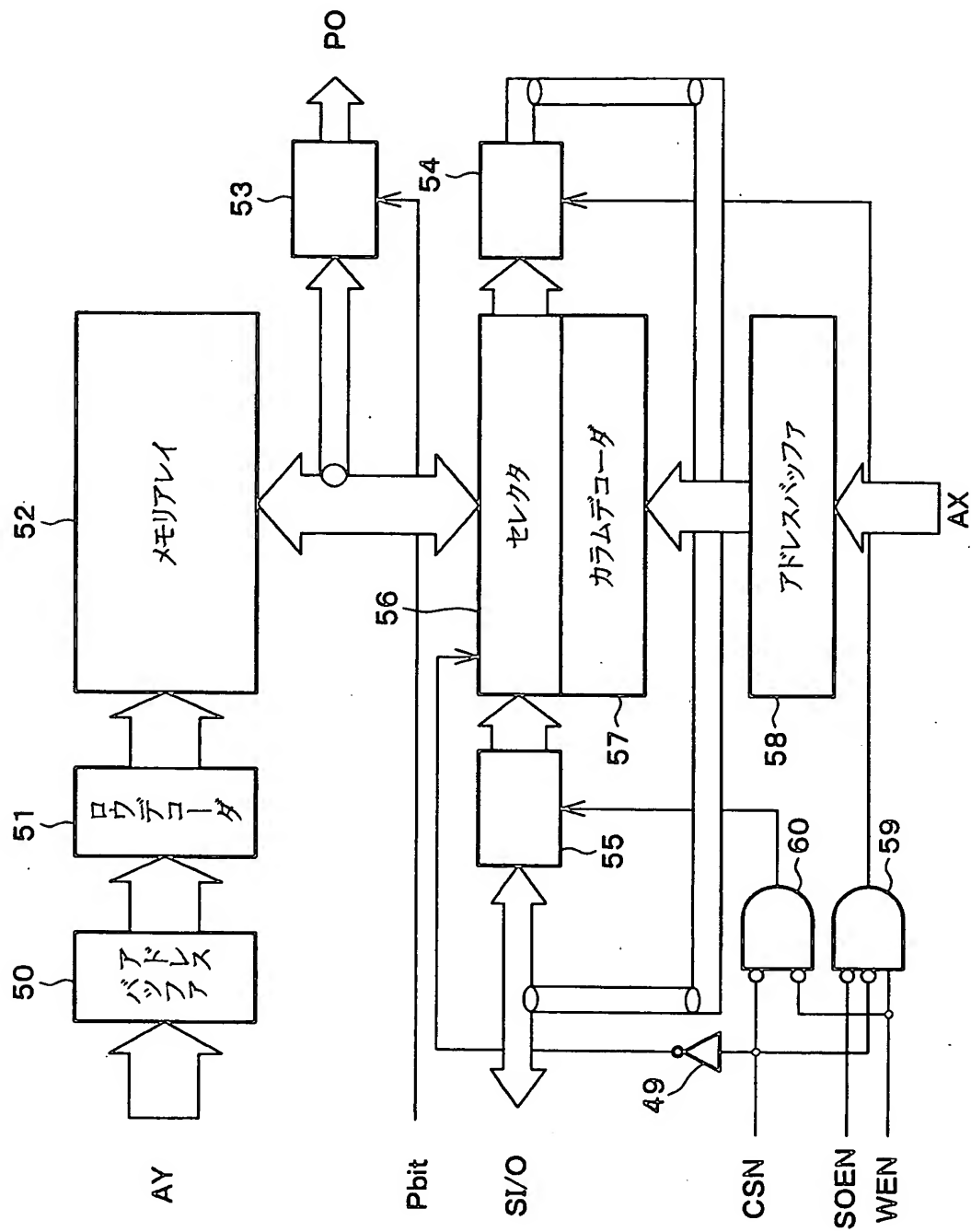
【図 6】



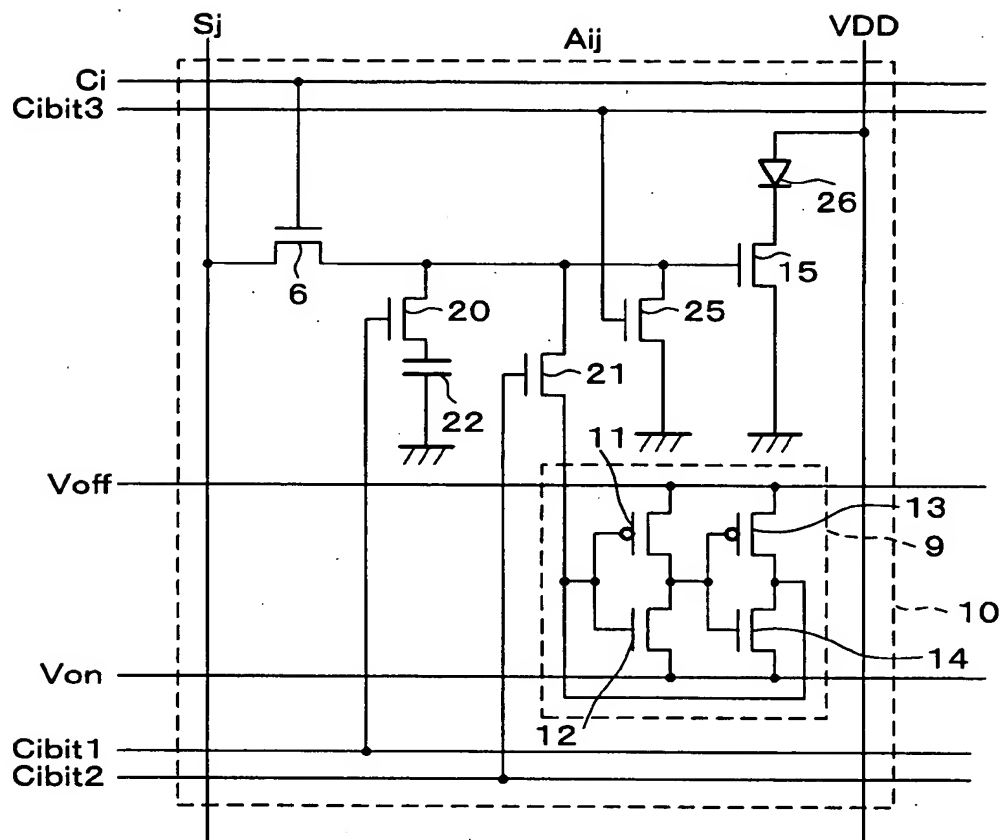
【図 7】



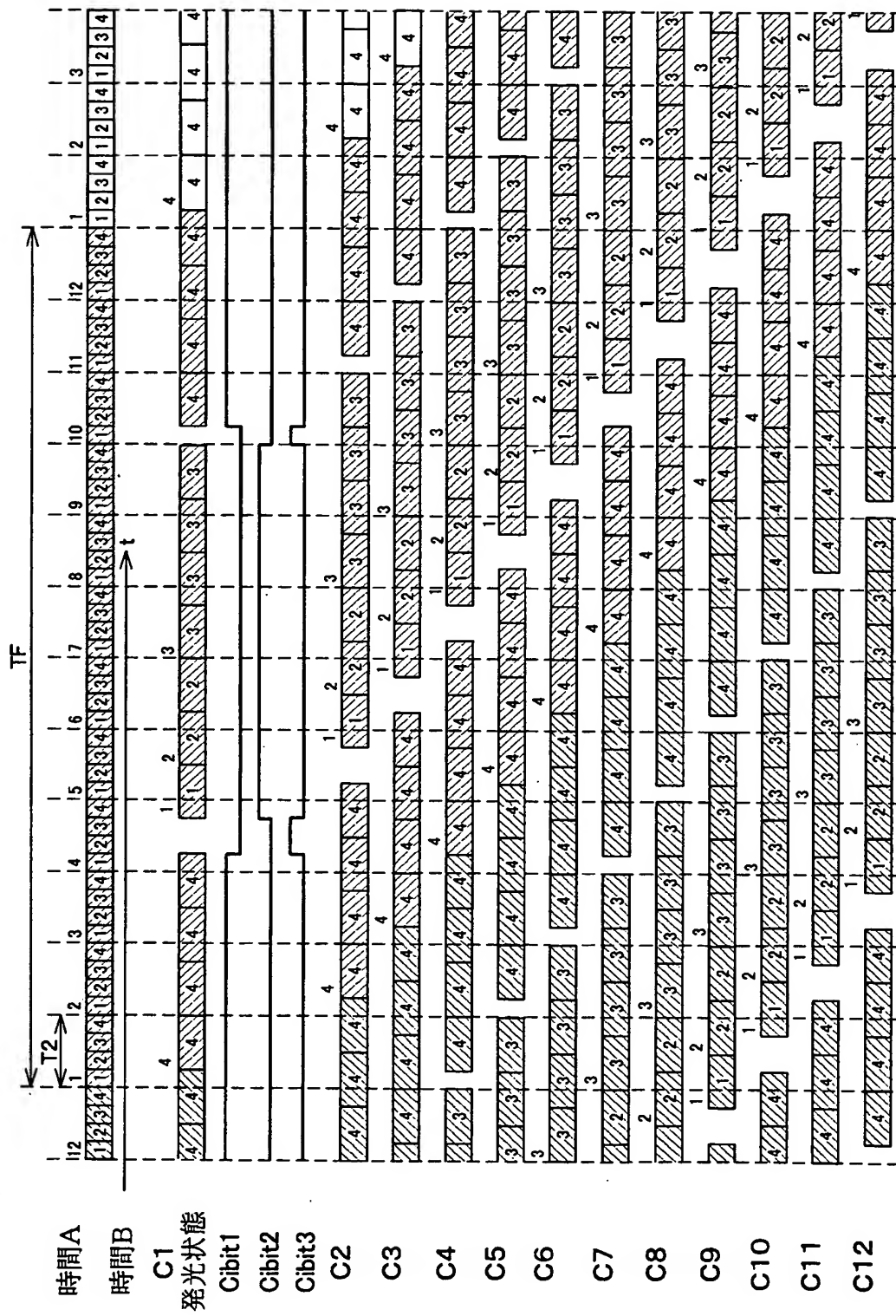
【図 8】



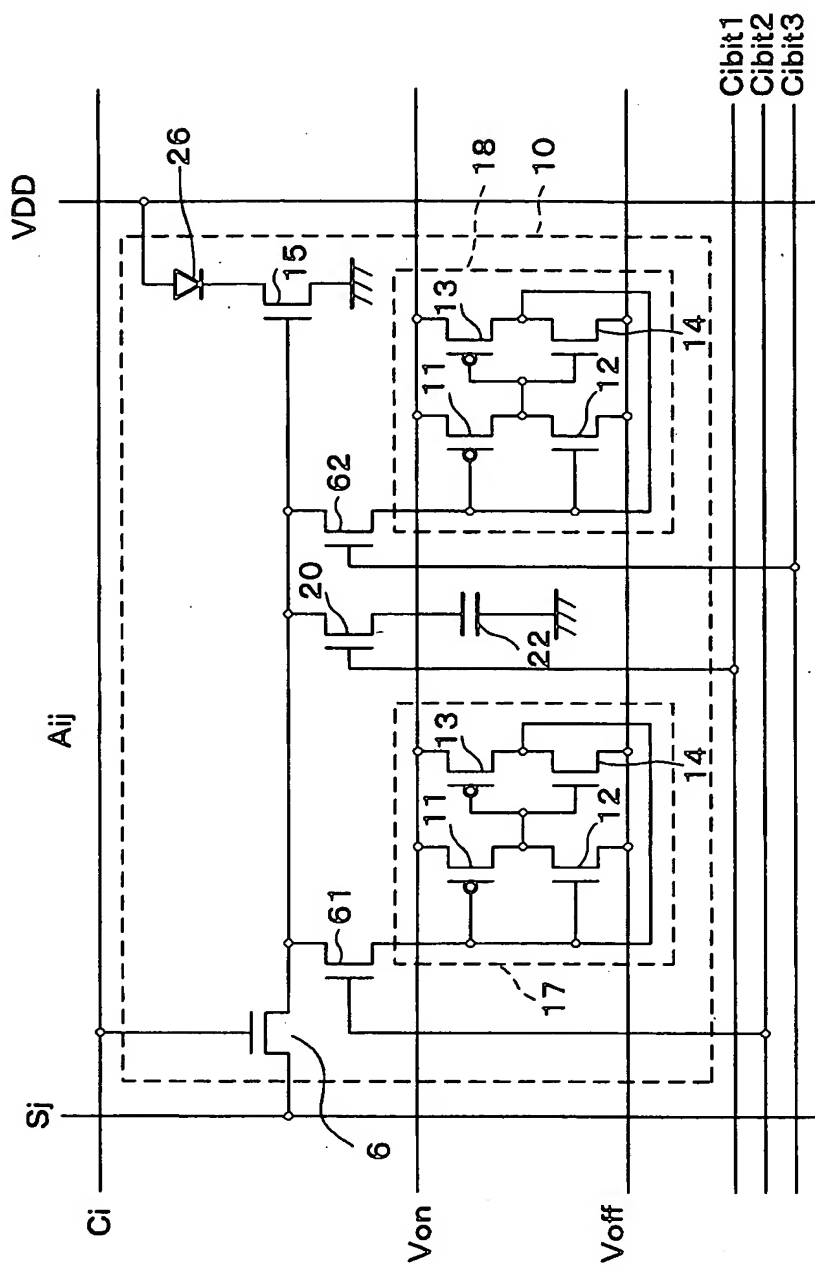
【図9】



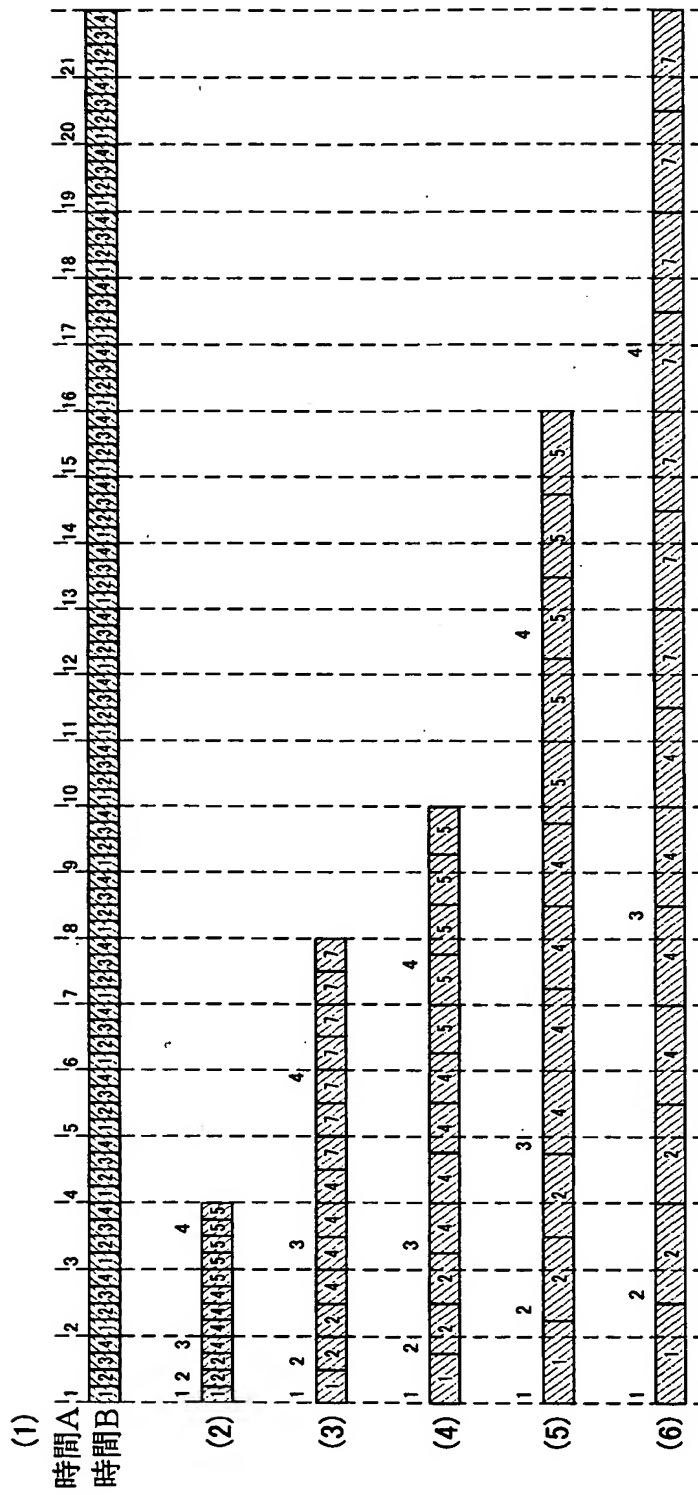
【図 10】



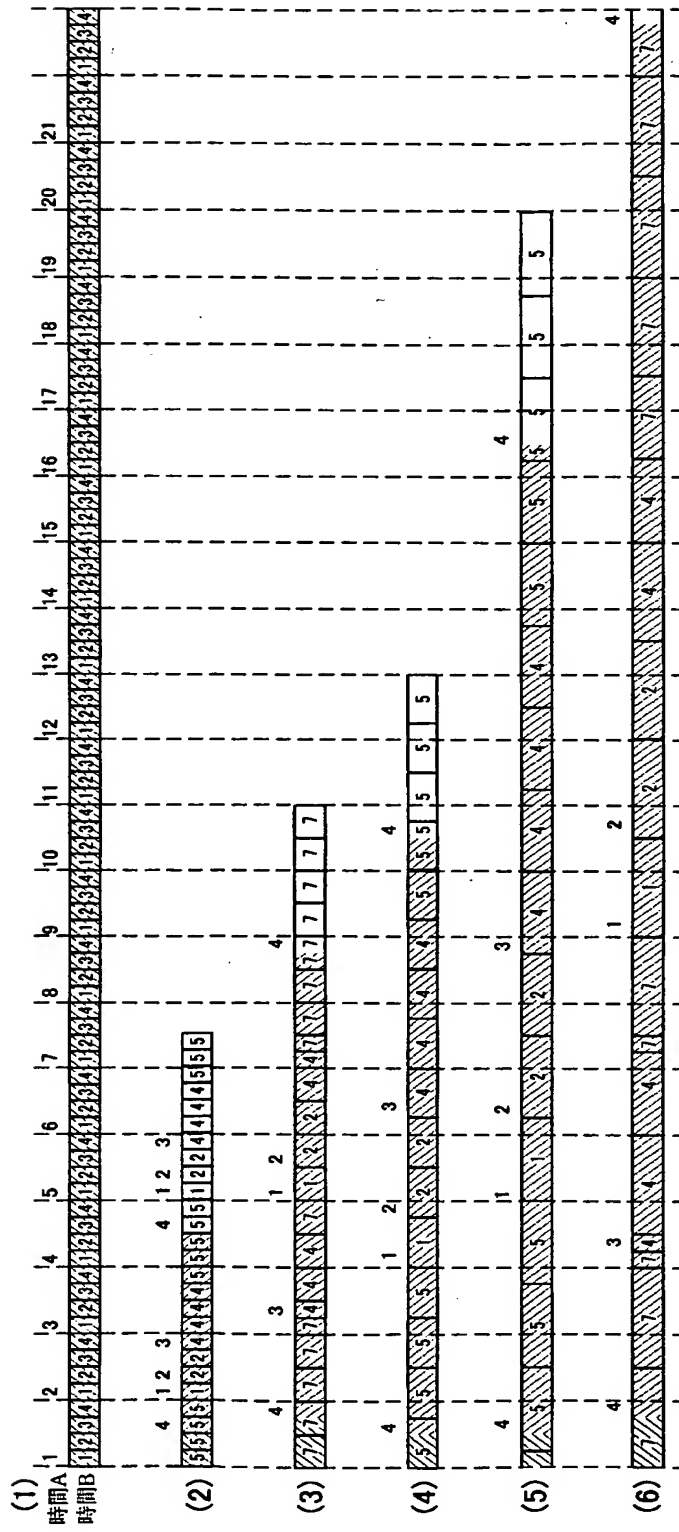
【図 11】



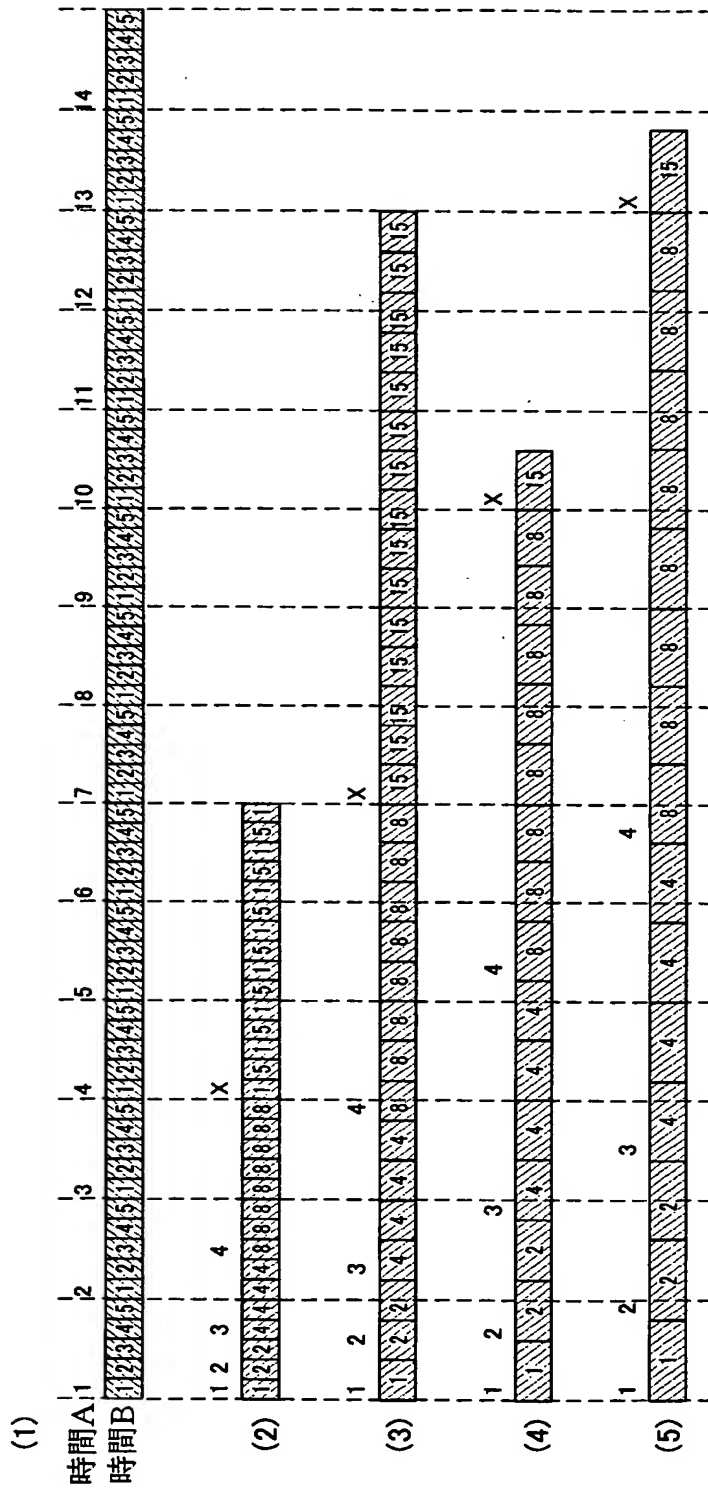
【図 12】



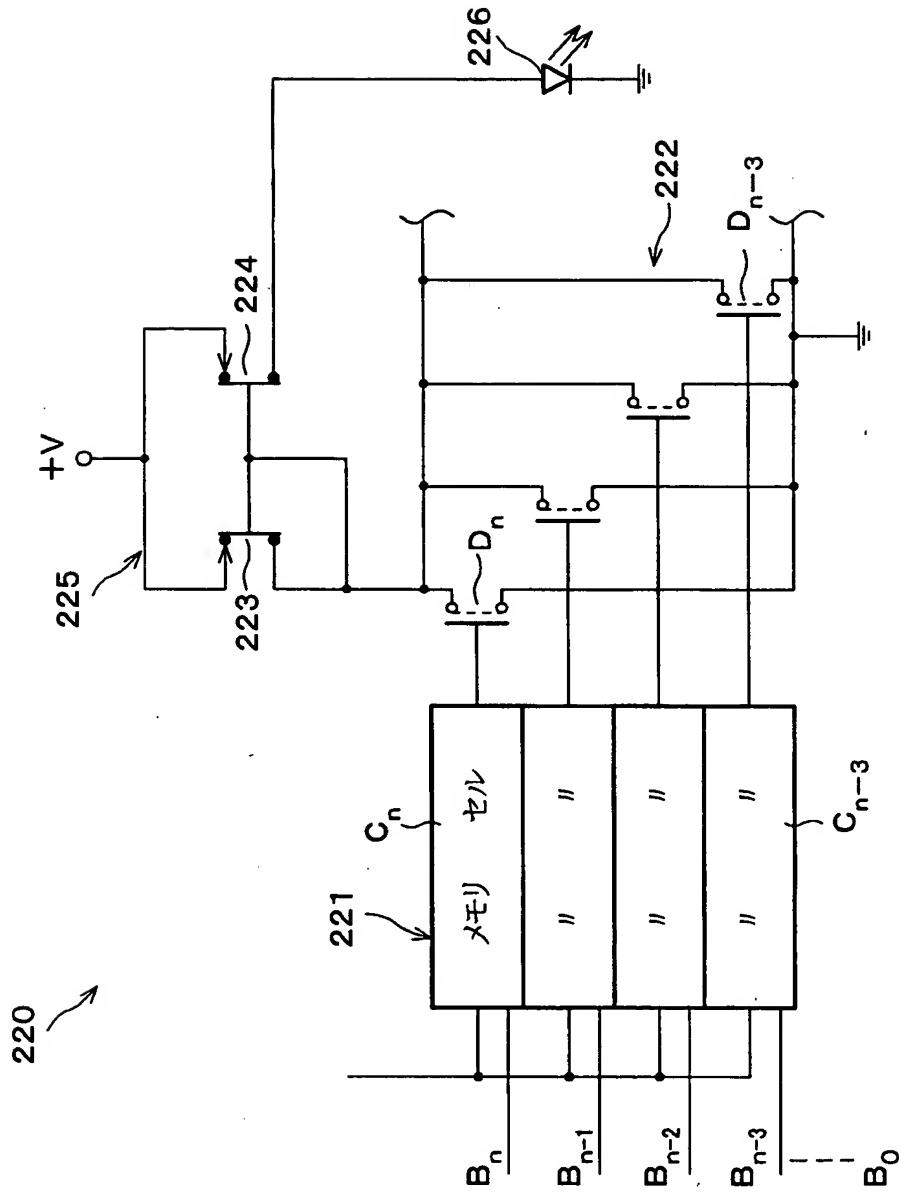
【図 13】



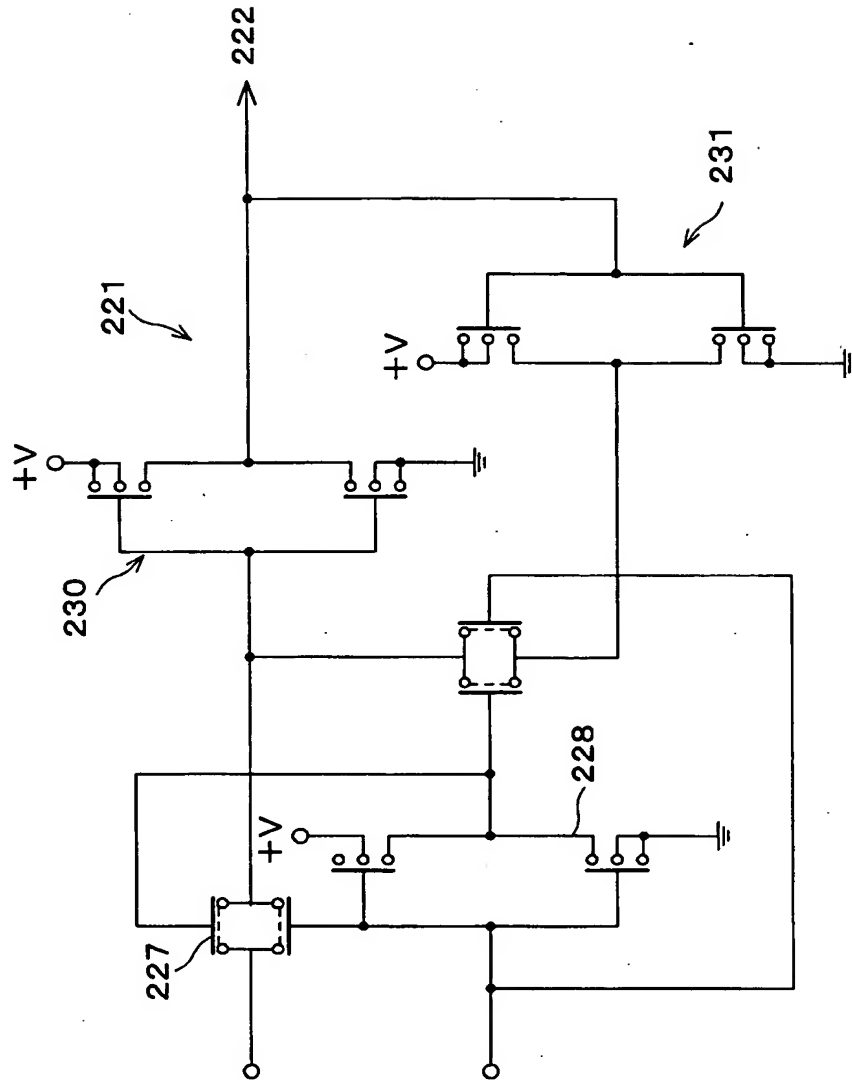
【図 14】



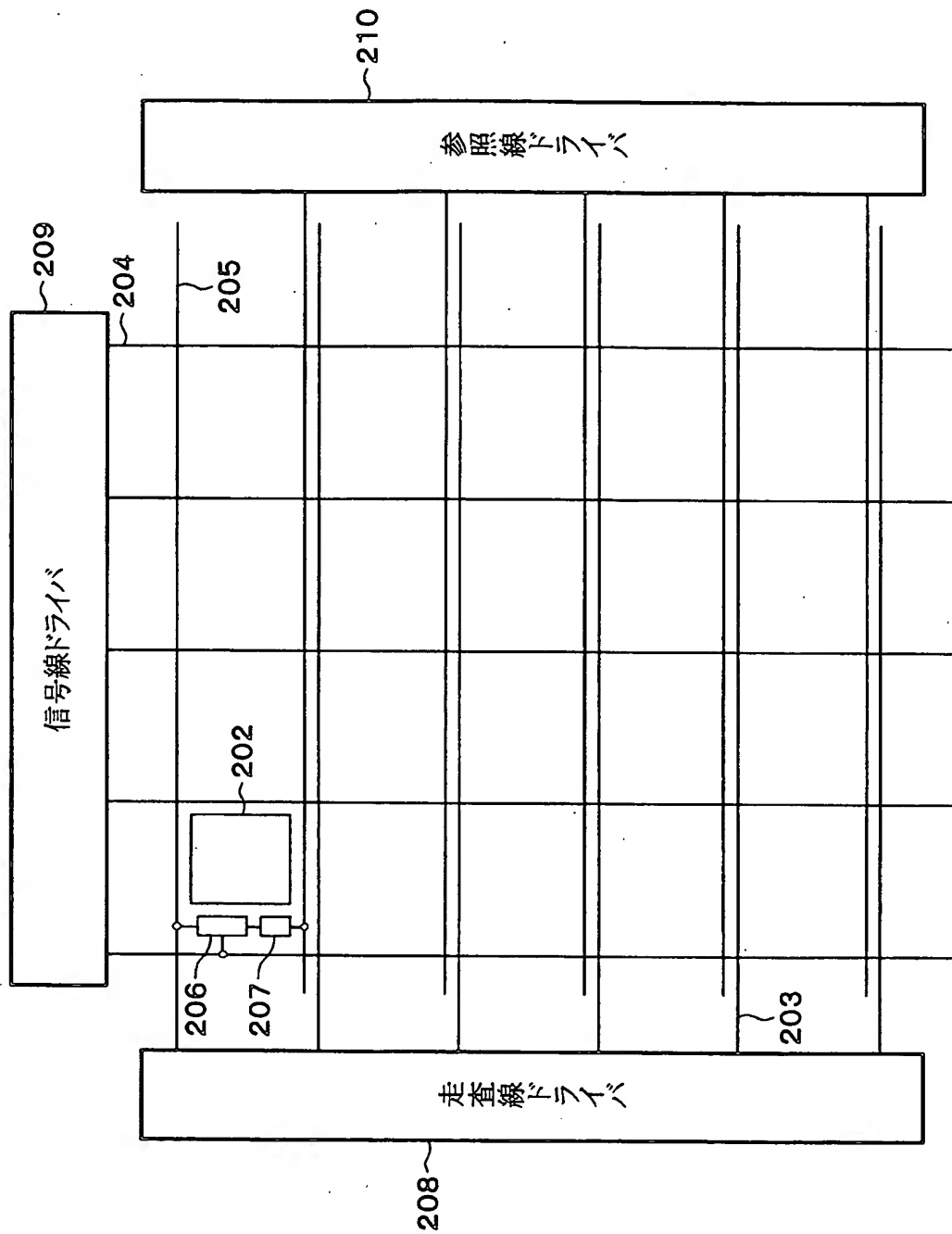
【図 15】



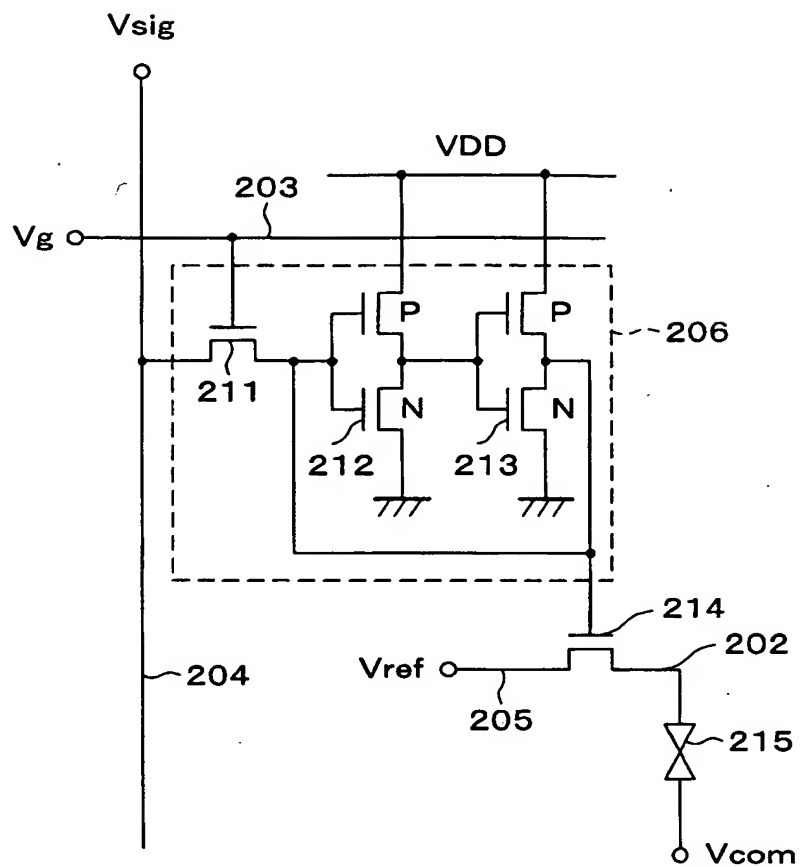
【図 16】



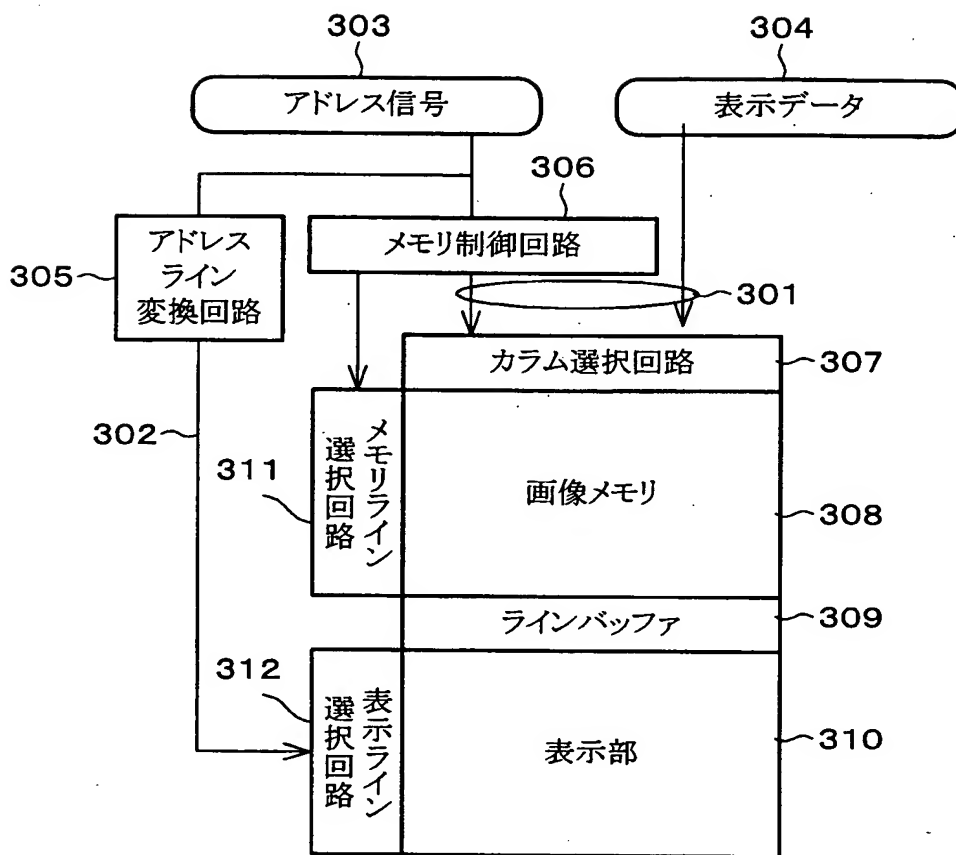
【図 17】



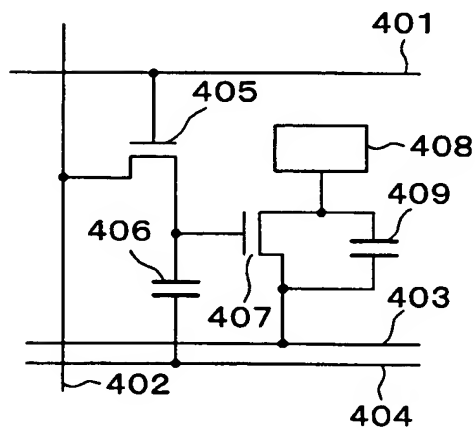
【図 18】



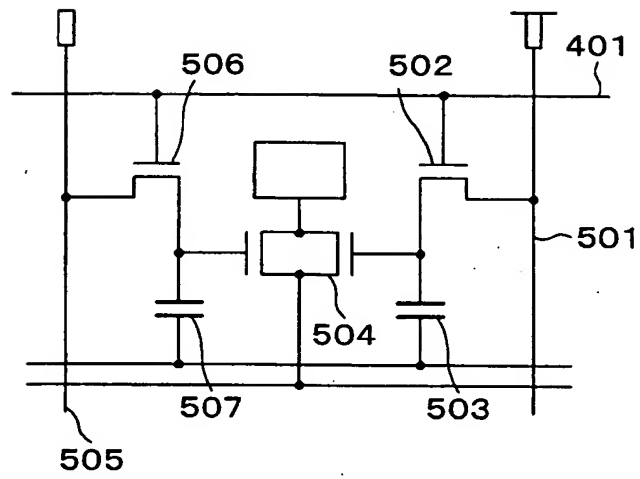
【図 1 9】



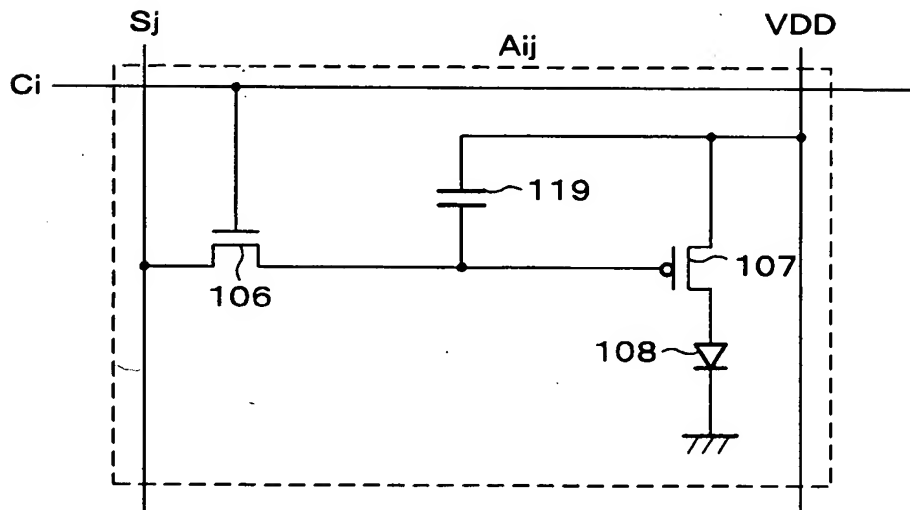
【図 2 0】



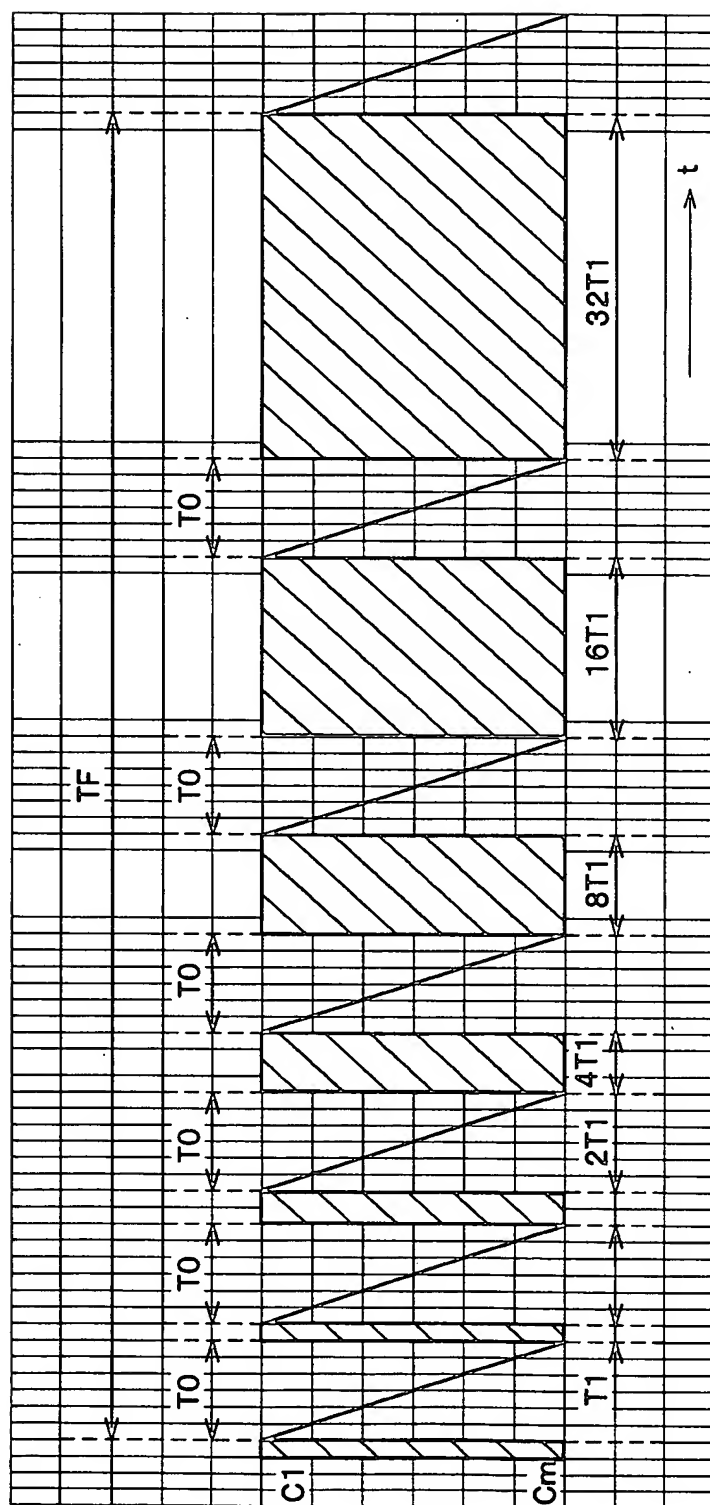
【図 2 1】



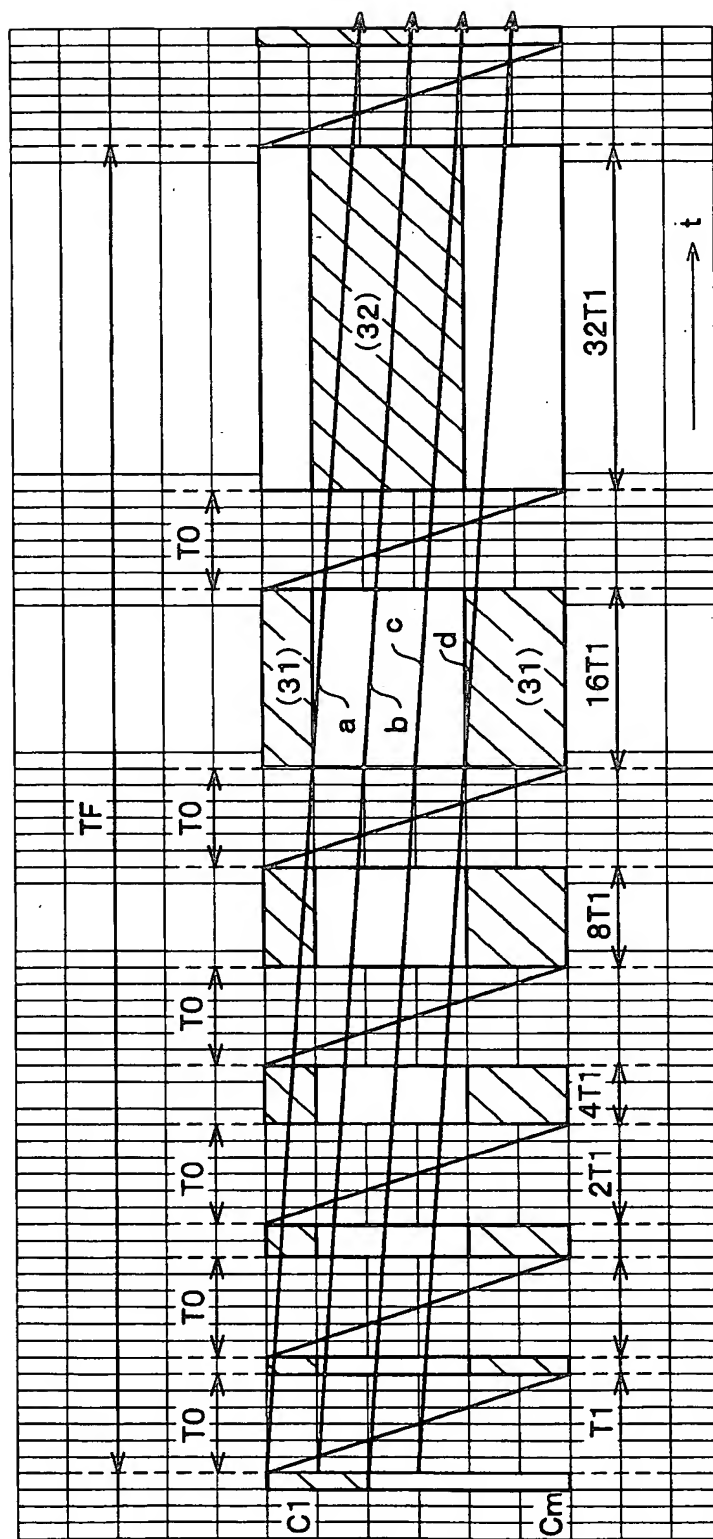
【図 2 2】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 時分割階調表示を行う表示装置において、1回の表示毎に表示走査を行うことなく動画偽輪郭の発生を抑制する。

【解決手段】 最大階調のデータに対する電圧をメモリ回路9に保持させ、次に、液晶素子23に最大以外の階調のデータに対する電圧を印加し、次に、最大階調のデータに対する電圧をメモリ回路9から液晶素子23に印加する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区长池町22番22号

氏 名 シャープ株式会社